

---

**Polar Fehlerdiagnosesystem**

# **PFL Bedienerhandbuch**

**Polar Instruments Ltd**

Polar Instruments Ltd.  
Garenne Park  
St. Sampson  
Guernsey  
Channel Islands  
GY2 4AF  
ENGLAND

Fax: +44 (0)1481 52476  
MAN 160-9703



# PFL760/780 FEHLERDIAGNOSESYSTEM HANDBUCH

## GARANTIE

POLAR Instruments Ltd. sowie der autorisierte Vertreter gewähren für dieses Gerät eine Garantie für die Dauer eines Jahres. POLAR Instruments Ltd. sowie der autorisierte Vertreter behalten sich vor, das Gerät zu reparieren oder zu ersetzen, falls Material- oder Verarbeitungsmängel die Ursache eines Defekt sind. Diese Garantie gilt ausschließlich unter der Bedingung, daß das Gerät ordnungsgemäß verwendet und entsprechend den Instruktionen von POLAR serviciert wurde.

Veränderungen am Gerät, Mißbrauch, Beschädigung, Reparaturen oder Reparaturversuche durch nicht autorisierte Personen führen zum Verlust des Garantieanspruches. POLAR Instruments Ltd. sowie der autorisierte Vertreter übernehmen keine Haftung für Schäden, die durch die Verwendung dieses Gerätes entstehen könnten.

Copyright Reischer Industrie-Elektronik, 1997

Microsoft und MS-DOS sind eingetragene Namen der Microsoft Corporation.

IBM ist das eingetragene Warenzeichen der International Business Machines Corporation.

# Inhalt

<b>Konformitätserklärung</b>	<b>1</b>
ELEKTROMAGNETISCHE VERTRÄGLICHKEIT .....	1
<b>SICHERHEIT</b>	<b>2</b>
ACHTUNG .....	2
SCHUTZERDE .....	2
Netzkabel Farbcodierung: .....	2
NETZVERSORGUNG .....	2
Netzspannungseinstellung .....	2
PFL BETRIEB .....	3
VORSICHTSMASSNAHMEN .....	3
Elektrische Isolation .....	3
<b>Spezifikationen</b>	<b>4</b>
ASA Test Funktionen .....	4
ICT Funktionen (nur PFL780) .....	4
Betriebsbedingungen .....	5
Netzversorgung .....	5
Kanal A und B Schutzsicherungen .....	5
Abmessungen (ohne Zubehör) .....	5
Symbole .....	5
ZUBEHÖR .....	6
Standardzubehör .....	6
Optionales Zubehör .....	6
<b>Einführung POLAR PFL Fehlerdiagnosesystem</b>	<b>7</b>
Das PFL Fehlerdiagnosesystem .....	7
Analoge Signaturanalyse .....	7
Der Pulsgenerator .....	7
In Circuit Test .....	8
Anzeige von Verbindungen und logischen Fehlern .....	8
Die PFL Bauteilbibliothek .....	8
Anwendungsgebiete .....	8
PC-Steuerung .....	8
Systemanforderungen .....	9
<b>Installation des Systems</b>	<b>11</b>
Auspacken .....	11
Anschluß des PFL an die Netzversorgung .....	11
Installation der PFL Software .....	12
Auswahl der PFL Gerätetype .....	13
Anschluß des Computers an den PFL .....	13
Start des Programms .....	14
Der Hauptschirm .....	14
Systemkonfiguration .....	15
Einstellung der PFL Steuersoftware .....	15
Systemsicherheit .....	15

Ausstieg aus der PFL-Software .....	17
<b>Allgemeine Beschreibung</b> .....	<b>18</b>
Analoge Signaturanalyse .....	18
In-Circuit Test .....	18
Bedienungselemente und Anschlüsse .....	19
Die PFL Frontplatte .....	19
Die PFL Rückwand .....	20
<b>Erste Schritte mit dem PFL</b> .....	<b>21</b>
Das Live-Instrument .....	21
Das Live-Instrument .....	21
Verwendung der PFL Prüfspitzen .....	21
Einstellung der Prüfbedingungen .....	22
Testspannungswahl .....	22
Pulsgeneratorausgänge .....	25
Test integrierter Schaltungen .....	29
Bauteiltest mit Quicktest .....	29
Vergleichstests mit Quicktest .....	29
Einzelboardtest mit Quicktest (nur PFL780) .....	35
<b>Asa Bauteiltest</b> .....	<b>37</b>
Signaturformen .....	37
Test passiver Bauteile mit ASA .....	38
Test von Widerständen .....	38
Test von Kondensatoren .....	40
Test von Induktivitäten .....	42
<b>ASA Test von Halbleitern</b> .....	<b>43</b>
Test von Dioden, LEDs und Zenerdioden .....	43
Test von Transistoren .....	44
Test von Junction Field Effect Transistors (JFETs) .....	48
Test von MOSFETs .....	49
Test von Spezialbauteilen .....	50
Test von Optokopplern .....	50
Test von Vierpolen .....	51
<b>Test integrierter Schaltkreise mit ASA</b> .....	<b>54</b>
Integrierte Schaltkreise .....	54
Bauteiltests in der Schaltung .....	58
Busbausteine .....	58
<b>ICT Bauteiltest</b> .....	<b>60</b>
PFL780 In Circuit Funktionstest .....	60
Bauteiltest mit ICT .....	60
Test von Bausteinen in der Schaltung .....	61
Backdriving .....	62
Die PFL780 Bauteilbibliothek .....	63
Ict Test von Digital-IC's .....	63
Der ICT unter Versorgungsspannung .....	64
Der Verbindungstest .....	64
Der Funktionstest .....	64

Kontrolle der Testbedingungen.....	64
Speichern und Testen digitaler IC's .....	66
Test des Bausteins .....	67
Das Verbindungsdiagramm .....	67
Stuck pins .....	67
Anwendungshinweise .....	68
Loop until Pass bei instabilen ICT-Ergebnissen .....	68
Initialisierung von Bauteilen .....	68
Isolieren von Bauteilen in der Schaltung .....	68
Busverbundene (tristate) Bausteine.....	68
<b>Schreiben von Testprogrammen</b> .....	<b>73</b>
Das Programmfenster.....	73
Sichern von Testprogrammen.....	73
Arbeiten mit Testprogrammen .....	74
Erzeugen eines neuen Testprogramms.....	74
Hinzufügen von Bauteilen in die Testliste .....	74
Baugruppenhinweise .....	78
Speichern des Testprogramms.....	78
Benennen von Testprogrammen .....	78
Ansicht von ASA Signaturen.....	79
Ansicht von ICT Daten.....	79
Das Logikdiagramm .....	79
Ansicht von Links Daten .....	80
Boardtest .....	81
Test eines Boards .....	81
Fortgeschrittenes Editieren.....	83
Einsatz des Parametereditors.....	83
Datenaufzeichnung.....	87
Die PFL Datenaufzeichnung .....	87
<b>Hinzufügen von Bauteilen zur Bibliothek mit DevLib</b> .....	<b>89</b>
Die PFL Benutzerbibliothek.....	89
Hinzufügen eines neuen Bausteins zur Bibliothek.....	89
Erzeugen von Alias-Bezeichnungen .....	90
<b>Wartung und Reinigung</b> .....	<b>93</b>
Servicieren des PFL .....	93
Erforderliche Kalibration.....	93
Fehlersuche .....	93
Reinigung.....	94
Technische Unterstützung .....	94
<b>Anhang A - Beispiele von Analogsignaturen</b>	
<b>Anhang B – Der Signaturvergleichsalgorithmus</b>	
<b>Anhang C – PFL Pin-Numerierungsformate</b>	
<b>Anhang D – SMD Prüfspitzen</b>	
Pinnumerierung	

Verwendung der Prüfspitze  
Austausch der Nadeln

**Kontaktierung von DIL ICs**

**Kontaktierung von SOIC's**

**Kontaktierung von PLCC's, QFP's, etc.**



# Konformitätserklärung

## **ELEKTROMAGNETISCHE VERTRÄGLICHKEIT**

### **Erklärung der Einhaltung von EU-Richtlinien**

Dieses Produkt stimmt überein mit den Schutzmaßnahmen der EC Council Directive 89/336/EEC für die Angleichung der Richtlinien der Mitgliedsstaaten in Bezug auf elektromagnetische Verträglichkeit.

Eine Konformitätserklärung entsprechend den Anforderungen der Richtlinie wurde unterzeichnet durch:

POLAR INSTRUMENTS (UK) LTD  
11 College Place  
London Road  
Southampton  
England  
SO1 2FE

Dieses Produkt entspricht EN50081-1:92 und EN 50082-1:92

# SICHERHEIT

## ACHTUNG

Sowohl Phase als auch Neutralleiter dieses Gerätes sind gesichert.

Das Gerät enthält keine vom Anwender servicierbaren Teile. Wenn das Gerät an die Netzversorgung angeschlossen ist, so können nach dem Öffnen des Gehäuses gefährliche Spannungen zugänglich sein. Um die Sicherheit des Anwenders zu gewährleisten, betreiben Sie dieses Gerät nur mit vollkommen geschlossenen Gehäuse.

## SCHUTZERDE

Dieses Gerät muß korrekt mit Schutzterde verbunden werden. Betreiben Sie das Gerät ohne angeschlossener Schutzterde. Stellen Sie sicher, daß Gerät nur an eine Steckdose mit Schutzleiter angeschlossen wird. Achten Sie bei Verwendung eines Verlängerungskabels auf korrekte Schutzleiterverbindung..

*Hinweis: Dieses Gerät ist mit einem dreipoligen Schutzkontaktstecker versehen. Falls ein spezieller Stecker zu Anpassung an die lokale Netzversorgung erforderlich ist, so lassen Sie diesen nur von einem Fachmann montieren. Der abgezwickte Stecker muß ordnungsgemäß entsorgt werden.*

### **Netzkabel Farbcodierung:**

Braun	Phase
Blau	Nulleiter
Grün/Gelb	Schutzleiter

## NETZVERSORGUNG

### **Netzspannungseinstellung**

Prüfen Sie ob die Netzspannungseinstellung wie auf der Geräterückseite angegeben mit der lokalen Netzspannung übereinstimmt.

*Lassen Sie Änderung der Netzspannungseinstellung nur durch einen Fachmann durchführen. Die Anleitung zur Netzspannungseinstellung finden Sie im von POLAR Instruments herausgegeben PFL Servicehandbuch.*

## PFL BETRIEB

*Dieses Dokument beinhaltet Instruktionen und Hinweise, welche vom Anwender unbedingt eingehalten werden müssen, um den sicheren Betrieb zu gewährleisten. Jede Verwendung des Gerätes in einer anderen als im Handbuch beschriebenen Weise kann dazu führen, daß die Sicherheitsvorkehrungen im Gerät außer Kraft gesetzt werden und ein sicherer Betrieb nicht mehr gegeben ist. Bewahren Sie diese Instruktionen sorgsam auf.*

Das Gerät ist nur für den Betrieb in Räumen entwickelt und sollte in einer Werkstättenumgebung auf einem stabilen Tisch aufgebaut werden.

Verwenden Sie nur Originalzubehör (z.B. Prüfspitzen und Testclips) von POLAR Instruments.

Das Gerät darf nur von einem Fachmann entsprechend den Herstelleranweisungen gewartet und repariert werden.

Erfolgte eine Beschädigung der Sicherheitsvorkehrungen, so ist das Gerät außer Betrieb zu nehmen, gegen Inbetriebnahme zu sichern und an qualifiziertes Servicepersonal weiterzugeben.

Eine Beschädigung der Sicherheitsvorkehrungen könnte erfolgt sein bei:

Sichtbaren Zeichen von mechanischer Beschädigung  
normaler Betrieb lt. Anweisungen im Handbuch nicht möglich

Längerer Lagerung unter ungünstigen Bedingungen  
Übermäßiger Beanspruchung während des Transports

Eindringen von Flüssigkeiten

## VORSICHTSMASSNAHMEN

### **Elektrische Isolation**

Isolieren Sie das Meßobjekt immer von der lokalen Stromversorgung (inkl. Schutzleiter) bevor Sie den PFL anwenden.

# Spezifikationen

## ASA Test Funktionen

Testkanäle	128
Testbereiche	Vpk    Ipk
Junction	1V    500µA
Logic	10V    5mA
Low	10V    150mA
Med	20V    1mA
High	40V    1mA
Testfrequenzen	
Low	90Hz
Medium	500Hz
High	2kHz
Pulsgenerator	
DC, Pulse1, Pulse2	0 – ±5V variabler Pegel Pulsbreite variabel
Toleranzeinstellung	1 – 99%
Aufzeichnung der Testergebnisse	✓

## ICT Funktionen (nur PFL780)

Testkanäle	40
Spannungs-Schwellwerte	TTL, CMOS, Benutzerdefinierbar
Guard-Ausgänge	4 x High, 4 x Low
Testzeit	<16ms (bei 100% Step Rate) entspricht INT DEF STAN 00-53/1
Verbindungstest	Identifiziert verbundene Pins
Eingebaute Stromversorgung	5V, 5A (nur während ICT-Test aktiv) gesichert durch 5A T Sicherung

## Betriebsbedingungen

Das Gerät ist nur für den Betrieb in Räumen unter folgenden Betriebsbedingungen entwickelt.

Höhe	Bis zu 2000m
Temperatur	+5°C to +40°C Umgebungstemp.
Relative Luftfeuchtigkeit	RH 80% maximum bei 31°C — fällt linear auf 50% bei 40°C
Netzgebundene Störungen	Lt. Installationskategorie II (Überspannungskategorie II) in IEC664
Verschmutzungsgrad	2 (IEC664)

## Netzversorgung

230V ± 10%, 115V ± 10% oder 100V ± 10% mit 50/60Hz,  
110VA.

## Kanal A und B Schutzsicherungen

160mA Flink


## Abmessungen (ohne Zubehör)


Abmessungen      Breite 443 mm  
                         Höhe 114 mm  
                         Tiefe 280 mm

Gewicht            7.0kg

## Symbole

Die folgenden Symbole werden im Gerät verwendet.

 **ACHTUNG** Um Schäden am Gerät zu vermeiden und den sicheren Betrieb zu gewährleisten, beachten Sie die Anweisungen im Handbuch, wenn Sie Verbindungen zu Anschlüssen mit diesem Symbol herstellen.

 **COM** Dieser Anschluß ist intern mit dem Schutzleiter verbunden (Erde).

# ZUBEHÖR

## Standardzubehör

PFL Software	FSW144
Prüfspitzenset	MMP159
Rote und schwarze Prüfleitung	ACC110, ACC111
Pulsgeneratorleitung, blau, 2 Stk.	ACC112
Stromversorgungsleitung	ACC151 (nur PFL780)
16 poliger Testclip mit Flachbandkabel	ACC107
40 poliger Testclip mit Flachbandkabel	ACC106
Fußpedal	ACC124
RS-232 Interfacekabel	ACC142
Zubehörtasche	ACC105
Bedienerhandbuch	MAN160
Netzkabel	

## Optionales Zubehör

Adapter Board	T41282
Adapter für PC AT-Direktsteckverbinder	T41283
Nullkraftsockeladapter	ACC145
Gerätetrageetasche	ACC125
SMD-Prüfspitzen	T131 – T141
9 – 25 Pin RS232 Adapter	ACC127
SOIC Test Clip Set	ACC160
PLCC Test Clip Set	ACC161
DIP IC Test Clip Set – 6 Typen	ACC140
DIP IC Test Clip Set – 10 Typen	ACC139
ICT-Treiber-Entwicklungssoftware	ACC179

# Einführung POLAR PFL Fehlerdiagnosesystem

## Das PFL Fehlerdiagnosesystem

Der PFL ist ein schnelles und effizientes Mittel zum Test von elektronischen Komponenten sowohl isoliert als auch im eingebauten Zustand. Der PFL wird von einem IBM- oder Kompatiblen PC unter Windows 95 Betriebssystem gesteuert.

Der PFL760 und PFL780 bietet die Funktionen und Umgebung zur Erzeugung von Testprogrammen für die Überprüfung einer Vielzahl von elektronischen Komponenten; der PFL760 basiert auf dem effizienten Verfahren der *Analog-Signaturanalyse*, der PFL780 kombiniert *Analog-Signaturanalyse* mit dem zusätzlichen *Digital-In-Circuit-Test*.

## Analoge Signaturanalyse

Bei der Analogen Signaturanalyse werden sichere Testsignale mit geringer Leistung an den Bauteil angelegt um „Impedanzsignaturen“ am PC-Schirm zu erzeugen. Sämtliche Tests erfolgen im stromlosen Zustand der Baugruppe und somit völlig gefahrlos für Anwender und die getesteten Bauteile.

*Es können Signaturbibliotheken von Gutmustern abgenommen und an weitere Servicezentren mit PFL-Systemen zum Vergleich anstelle von Referenzplatinen gesendet werden..*

Die Signaturen von Gutmustern können rasch digitalisiert, untersucht, gespeichert und auf einer Vielzahl von Druckern ausgedruckt werden. Der PFL vergleicht automatisch die Signaturen von suspekten Bauteilen mit auf Festplatte gespeicherten Referenzen und druckt die Testergebnisse mit Gut- und Schlecht-Signaturen zum Vergleich

## Der Pulsgenerator

Ein integrierter Pulsgenerator ermöglicht das Testen von Dreipolen wie z.B. Transistoren, Thyristoren und Triac's. Weitere Informationen finden Sie unter *ASA Bauteiltests für Dreipole*.

## In Circuit Test

Beim In Circuit Test (ICT) vergleicht der PFL780 die logische Funktion eines Bauteils mit einem Modell des entsprechenden Bauteils in der Datenbank. Der PFL780 ist in der Lage die Funktion eines Bauteils in der Schaltung zu „lernen“ und diese Konfiguration als Referenz zu verwenden. Logische High und Low „Guardspannungen“ an den Frontplattenanschlüssen des PFL780 ermöglichen den isolierten Test von Busbausteinen.

### **Anzeige von Verbindungen und logischen Fehlern**

Die ICT-Software erkennt verbundene Pins und zeigt ein logisches Zeitdiagramm mit dem Status der Pins während des Tests.

## Die PFL Bauteilbibliothek

Die PFL Software beinhaltet eine umfangreiche Datenbank von integrierten Bausteinen welche in der Elektronikindustrie weithin eingesetzt werden.

## Anwendungsgebiete

Der PFL ist das ideale Instrument für einen breiten Anwendungsbereich:

- Feldservice – Fehlersuche.
- Produktion – Wareneingangstest/Fehlersuche.
- Reparatur – rasche Diagnose.

## PC-Steuerung

Die PFL Software läuft auf einem IBM PC (oder Kompatiblen) Steuerrechner unter dem Windows 95 Betriebssystem. Befehle und Daten werden über eine schnelle serielle RS232-C-Verbindung zum Rechner übertragen.

Das Programm bietet eine integrierte Umgebung zum Schreiben von Testprogrammen, Akquirieren, Darstellen und Speichern von Signaturen sowie zur Überwachung der Systemsicherheit. Signaturen können sofort digitalisiert und als Referenz auf der Festplatte des Rechners für den Vergleich mit suspekten Bauteilen gespeichert werden.

Programme für den Bauteiltest können einfach erstellt, auf Festplatte gespeichert und auf Diskette zur Archivierung oder Weitergabe an Serviceorganisationen, Reparatur-zentren etc. abgelegt werden.



## Systemanforderungen

Bevor Sie die PFL Software installieren, überprüfen Sie ob der Steuerrechner die folgenden Voraussetzungen erfüllt:

Computer – IBM PC oder kompatibel

Prozessor – 80486 oder höher

Arbeitsspeicher – 16Mbytes RAM

Videokarte und Monitor – VGA Farbe

5¼" oder 3½" Diskettenlaufwerk

20 Mbytes freier Speicher auf Festplatte

freie RS 232 C serielle Schnittstelle

Druckerschnittstelle

Betriebssystem – Microsoft® Windows 95



# Installation des Systems

## Auspacken

Das Gerät ist in einem stabilen Karton verpackt. Öffnen Sie diesen vorsichtig und entnehmen Sie das Gerät sowie das Zubehör. Bewahren Sie die Verpackung für eine eventuelle spätere Verwendung auf. Falls das Gerät auf irgend eine Weise beschädigt ist, verständigen Sie bitte Ihren POLAR-Distributor.

Der PFL Lieferumfang beinhaltet das Gerät sowie das Standardzubehör (angeführt unter Spezifikation)

**Zur Beachtung:** Falls das Gerät in kalter Umgebung geliefert oder gelagert wurde, so lassen Sie es vor Anschluß an das Netz die Umgebungstemperatur erreichen.

## Anschluß des PFL an die Netzversorgung

**Prüfen Sie das Spannungsschild an der Rückseite des Geräts und vergleichen Sie diese mit der lokalen Netzspannung.**

Falls die Spannungseinstellung nicht mit der Netzspannung übereinstimmt, so lassen Sie das Gerät von einem Fachmann auf die erforderliche Einstellung bringen. Anweisungen für die Änderung der Netzspannungseinstellung finden Sie im PFL Servicehandbuch.

*Zur Beachtung: Falls ein spezieller Netzstecker an das Netzkabel montiert wird, so muß dies durch einen Fachmann erfolgen, wobei auf korrekten Anschluß der Schutzterde zu achten ist. Der abgezwickte Netzstecker muss sicher entsorgt werden.*

Das Netzkabel verwendet folgende Farben:

Europe

Braun	Phase
Blau	Nulleiter
Grün/Gelb	Schutzterde

Schließen Sie das Netzkabel and das Gerät und an die Steckdose (Der Netzschalter befindet sich auf der Geräterückseite unterhalb des Netzanschlusses ).

Wenn der Selbsttest nach dem Einschalten erfolgreich verläuft, so leuchtet die SYSTEM OK LED.

Eine blinkende SYSTEM OK LED zeigt an, daß einer oder mehrere Fehler während des Selbsttest aufgetreten sind. — Kontaktieren Sie in diesem Fall Ihren POLAR-Vertreter.

## Installation der PFL Software

*Dem Anwender wird empfohlen, eine Arbeitskopie der PFL Installationsdisketten vor der Installation anzufertigen und die Originaldisketten sicher zu verwahren.*

### **Erstellen einer Arbeitskopie**

Legen Sie die PFL Programmdiskette in das Laufwerk ein.

Doppelklick auf **Arbeitsplatz** und das Symbol für das Laufwerk mit der PFL-Diskette.

Wählen Sie aus dem Menü **Datei - Diskette kopieren**.

Klicken Sie **Quelldiskette** und **Zieldiskette** (Sie können für beide das gleiche Laufwerk wählen) und wählen Sie **Starten**

Wiederholen Sie diesen Vorgang für die weiteren Disketten.

Beide Disketten müssen gleiche Type sein. Daten auf der Zieldiskette werden gelöscht.

### **Installation des Programms**

Schließen Sie alle anderen Programme.

Klick auf **Start — Einstellungen**.

Wählen Sie **Systemsteuerung**.

Doppelklick auf **Software**.

Unter **Installieren/Deinstallieren** klick auf **Installieren**.

Legen Sie die erste PFL Diskette in das Laufwerk ein und wählen Sie **Weiter**.

Nachdem **Setup.exe** in der Eingabezeile erscheint, wählen Sie **Weiter**.

Folgen Sie den weiteren Instruktionen.

*Zur Vereinfachung kann eine Ikone auf den Arbeitsplatz kopiert oder durch Ziehen auf die Start-Schaltfläche erstellt werden (Siehe Einführung in Windows 95).*

Das Installationsprogramm erzeugt einen PFL-Ordner und Dateistruktur und kopiert die PFL-Dateien auf die Festplatte. Folgen Sie den Instruktionen auf dem Bildschirm um die Installation abzuschließen. Die Installation fügt den POLAR Fault Locator Ordner (zusammen mit den Programm-Ikonen) dem Programme Menü hinzu.

### **Auswahl der PFL Gerätetype**

Während des Installationsvorganges ist es notwendig, die Gerätetype des PFL (PFL760 oder PFL780) anzugeben. Wählen Sie PFL760 oder PFL780 aus.

Hinweis: Sie können die Gerätetype auch nach der Installation im Menü **Konfiguration** ändern.

Während des Installationsvorganges ist es weiters notwendig, die serielle Schnittstelle für die Verbindung zum PFL anzugeben. Wenn Sie nicht sicher sind, welche Schnittstelle verwendet wird, so lassen Sie die Defaulteinstellungen. Die Schnittstellenparameter werden automatisch durch die Software eingestellt.

Zur Beachtung: Sie können die Einstellung auch nach der Installation im Menü **Konfiguration** ändern.

## **Anschluß des Computers an den PFL**

PFL Befehle und Daten werden zwischen PFL und dem Steuerrechner über eine serielle Verbindung (RS232) mittels dem beigefügten Kabel übertragen

**Vor Anschluß des Kabels sollten PFL und Computer ausgeschaltet sein.**

Schließen Sie das Kabel an die serielle Schnittstelle des Rechners und des PFL (Geräterückseite) an. Schrauben Sie die Stecker fest. Schalten Sie den PFL und den Rechner ein.

*Um die korrekte Funktion des Gerätes und die Einhaltung der EMV-Vorschriften sicherzustellen, ist es wichtig, das mitgelieferte Kabel zu verwenden.*

## Start des Programms

Die Polar Fault Locator  
Ikone

Der PFL Schirm zeigt das  
zuletzt geöffnete  
Testprogramm

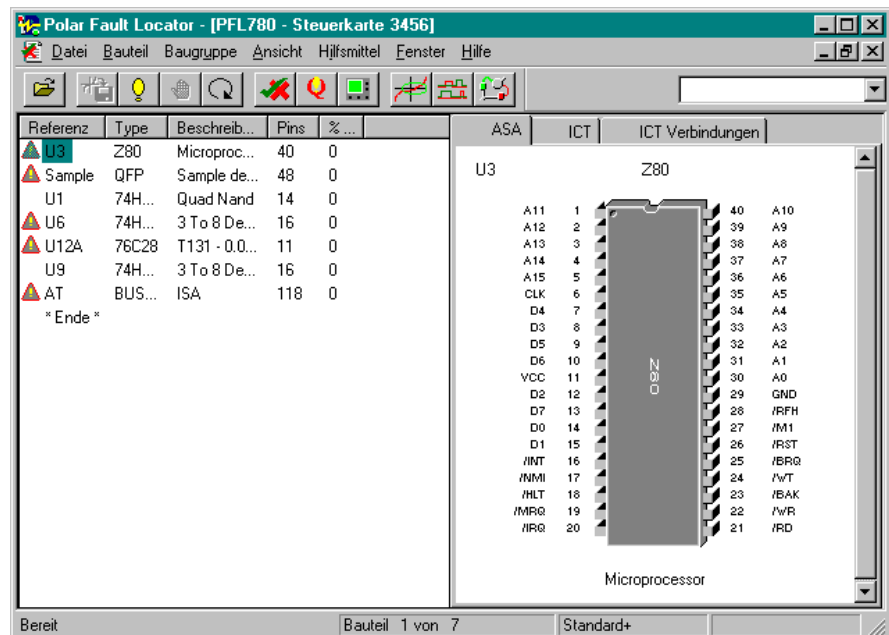
Um das Programm zu starten, doppelklicken Sie auf die Polar Fault Locator Ikone - es öffnet der Hauptschirm.

Der PFL ruft das zuletzt geöffnete Programm auf (oder ein leeres Programm mit Namen **Unbenannt** falls noch keine Programme erstellt wurden).

## Der Hauptschirm

Der Hauptschirm beinhaltet:

- Das Hauptdisplayfenster
- Die Menüleiste
- Die Tool-Leiste
- Die Ergebnisleiste
- Die Statusleiste



Die Toolleiste und  
Ergebnisleiste können  
fixiert bleiben oder an eine  
beliebige Stelle gezogen  
werden - Klicken Sie auf  
die Leiste und ziehen Sie  
diese an den gewünschten  
Ort.

Bedienfunktionen können durch Klicken der  
entsprechenden Schaltfläche auf der Toolleiste oder über  
das Menüsystem oder durch Bewegen der Markierung über  
die gewünschte Option und Drücken von <ENTER>.

## Systemkonfiguration

Das **Hilfsmittel**-Menü dient zur Einstellung der Betriebsumgebung. Im **Hilfsmittel**-Menü können Sie:

- Paßwörter und Zugriffsrechte definieren
- die serielle Schnittstelle wählen
- Bauteilbibliotheken hinzufügen oder löschen
- die Liste der installierten Bauteile durchsehen
- die „Loop Compensation“ - Routine starten, welche den Einfluß der Kapazitäten der Meßhardware auskalibriert.
- Mit der Diagnose die Systemfunktionen prüfen
- die Bildschirmfarben ändern
- Benutzerhinweise des PFL aktivieren und deaktivieren

## Einstellung der PFL Steuersoftware

### Systemsicherheit

Der **Hilfsmittel – Konfiguration** Befehl ermöglicht dem Systembetreuer das Vergeben eines Paßworts um Programme oder Systemeinstellungen vor unbeabsichtigtem Löschen oder Verändern zu schützen.

Der PFL bietet zwei Sicherheitszustände: **Gesichert** und **Ungesichert**. Ist das System ungesichert so hat der Benutzer Zugriff auf alle Funktionen. Im gesicherten Zustand ist ein Ändern von Testprogrammen sowie der Zugriff auf die Parametereinstellungen, Systemkonfiguration und die Initialisierungsfunktion (um die Datenaufzeichnung zu Löschen) nicht möglich.

Wählt der Benutzer eine geschützte Funktion, so wird er zur Eingabe des Passwortes aufgefordert.

### Paßworteinstellung

Um ein Paßwort im **Hilfsmittel**-Menü einzugeben:

Wählen Sie den **Konfiguration**-Befehl.

Klicken Sie die **Passwort**-Box und geben Sie das neue Paßwort ein. Das neue Paßwort ersetzt das Alte. (falls vorhanden).

**WICHTIG:** Notieren Sie das Paßwort..

Geben Sie im Feld **Bestätigung** das Paßwort erneut exakt wie im der **Passwort**-Feld ein. Die Auswahl **Passwortaktivierung beim Verlassen der Software** (defaultmäßig aktiviert) aktiviert den Paßwortschutz nach dem Schließen des **Konfiguration**-Dialogfensters. Deaktivieren dieser Box ermöglicht Zugriff auf alle Funktionen während dieser Sitzung — Der Paßwortschutz wird erst mit dem nächsten Start der Software aktiviert.

### **Reduzierung der Akquisitionspriorität**

Aktivieren Sie diese Einstellung wenn das Neuzeichnen der Signatur in der LIVE-Darstellung sehr langsam erfolgt. Dies ist möglicherweise auf langsameren PC's und/oder Grafikkarten der Fall. Auf ausreichend schnellen PC's sollte diese Funktion *nicht* aktiviert werden.

### **Benutzerhinweise einstellen**

Die **Hinweise** - Registerkarte zeigt eine Liste von Systemhinweisen, welche je nach Erfordernis aktiviert und deaktiviert werden können.

So kann der Benutzer z.B. folgende Hinweise aktivieren und deaktivieren:

Das Baugruppenhinweise-Fenster beim Öffnen eines Testprogramms.

Systemhinweise wenn ein Test zu ungültigen Ergebnissen führen kann, z.B. wenn Vcc oder Gnd fehlt oder offene Pins erkannt wurden.

Der QuickStart-Dialog beim Starten der PFL Software.

Ist die **Tips mit Bauteilhinweisen**-Box aktiviert, so zeigt die PFL-Software einen Hinweis, wenn Signaturen eines Open-Kollektor oder Tristate-Bausteins aufgenommen werden sollen. Darin wird auf die Anwendung von Guard-Spannungen hingewiesen um Unstabilitäten zu vermeiden. Siehe *Isolieren von Bauteilen in der Schaltung*

### **Ändern der Bildschirmfarben**

Wählen Sie die **Farbeinstellungen**-Registerkarte um die aktuellen Farbeinstellungen anzuzeigen. Um eine Farbe zu ändern, klicken Sie auf den Namen des Bildelementes in der Dialogbox und anschließend auf die **Ändern**-Schaltfläche. Wählen Sie die neue Farbe aus der **Farbe**-Palette und klicken Sie auf **OK**.



Um eine neue Farbe zu definieren, wählen Sie die der Wunschfarbe ähnlichste, klicken Sie auf **Farben definieren**, klicken Sie auf die Farbmatrix und verändern Sie die Farbattribute mit dem Regler und klicken dann auf **Farbe hinzufügen**. Schließen Sie mit **OK** ab.

### ***Schleifenkompensation***

Das PFL-System bietet die Möglichkeit, Kapazitäten der Hardware zu kompensieren.

Entfernen Sie dazu die Testclips von Bauteilen und wählen Sie im **Hilfsmittel**-Menu die Funktion **Schleifenkompensation**. Der PFL führt nun eine automatische Schleifenkompensation zum Ausgleich der Streukapazitäten durch.

### ***Diagnose***

Die Wahl der **Diagnose**-Funktion zeigt das Hardwarediagnose-Dialogfenster. Durch Markieren der Klickboxen können einzelne Tests ein- und ausgeschaltet werden. Die Hardwarediagnose beinhaltet den Test der Kanal A und B Sicherung sowie der Sicherung der eingebauten 5V/5A Meßobjektversorgung. Siehe *Servicieren des PFL* für Informationen zum Sicherungswechsel sowie für technische Unterstützung.

## **Ausstieg aus der PFL-Software**

Um die aktuelle Sitzung zu beenden, wählen Sie **Beenden** aus dem **Datei**-Menü.

# Allgemeine Beschreibung

## Analoge Signaturanalyse

Das PFL Fehlerdiagnosesystem testet Bauteile, indem ein strom-begrenztes Wechsellspannungssignal an den Bauteil angelegt wird und dessen resultierende Strom-Spannungskennlinie auf dem Bildschirm dargestellt wird. Jeder Bauteil zeigt dabei eine eigene charakteristische Signatur, welche eine einfache Unterscheidung ermöglicht.

Die zwei Eingangskanäle A und B ermöglichen den Vergleich eines guten Referenzbauteils mit einem defekten Bauteil. Fehler können auf diese Weise selbst ohne genaue Kenntnis der Funktion einer komplexen Baugruppe festgestellt werden. Für Baugruppen ohne ausreichende Dokumentation in Form von Schaltplänen oder Servicehandbüchern ist dies besonders hilfreich.

## In-Circuit Test

Mittels ICT (In-Circuit Test) bietet der PFL780 die Möglichkeit, die logische Funktion integrierter Bausteine zu testen. Dabei wird das Verhalten mit einem gleichartigen „idealen“ IC aus einer umfangreichen Bibliothek an Bauteilen verglichen.

Die Datenbank des PFL780 enthält eine Vielzahl an integrierten Logikbausteinen (von verschiedenen Familien), von einfachen Gattern bis hin zu Prozessoren.

Der PFL780 kann das Verhalten eines Bausteines im eingebauten Zustand einer guten Platine „erlernen“ und verwendet dieses als Referenz. Bauteilanschlüsse, die permanent auf Low oder High liegen bzw. Querverbindungen zwischen Anschlüssen werden dabei natürlich berücksichtigt.

Während des Programmier- und Testvorgangs werden die Pinverbindungen und die logischen Zustände angezeigt, um die Beziehungen zwischen Steuerleitungen und den Ein-/Ausgängen anzuzeigen, um sie visuell begutachten zu können.

Sogenannte „Guard“-Spannungen (Logisch High und Low) auf der Frontplatte ermöglichen dem Anwender, Bauteile zu deaktivieren, die sich in der Nähe des zu testenden Bausteins befinden, um ihn ohne Demontage auch im isolierten Zustand zu überprüfen.

## Bedienungselemente und Anschlüsse

### **Die PFL Frontplatte**

Die Frontplatte besitzt Anschlüsse für:

Scannereingänge Kanal A und B (64 Pins / Kanal)

Prüfspitzen Kanal A und B

Zwei parallele Masseanschlußklemmen (COM)

Zwei parallele Pulsgeneratorausgänge

ICT 5V Spannungsversorgung (nur PFL780)

4 x ICT Logisch High (5V) und Low (0V)

Guardspannungen (nur PFL780)

### **Scannerkanäle**

*Zur Beachtung: Vergessen Sie nicht die Masse-  
verbindung*

Der PFL Scanner bietet die Möglichkeit des schnellen Erfassen von Signaturen auf allen Pins des zu testenden IC's. Der Signalweg wird durch die COM-Verbindung geschlossen.

### **Kanal A und B Prüfspitzen**

Der PFL wird mit einem Paar Prüfspitzen ähnlich denen eines Multimeters ausgeliefert, welche an die A und B Buchsen angeschlossen werden. Die Kanal A und B Prüfspitzen sind parallel zu den Scannereingängen geschaltet um Kontaktfehler am Testclip finden zu können.

Bei Verwendung des **LIVE**-Modus werden die Scannerkanäle isoliert und die Eingänge des PFL sind nur mit den Prüfspitzen verbunden.

### **COM (Masse) Anschlüsse**

Der PFL weist zwei parallele COM-Massebuchsen für die Verbindung zur Masse des Prüflings auf. Werden zwei Boards verglichen, so müssen die Massen *beider* Boards mit den COM Buchsen des PFL verbunden werden.

### **Pulsgenerator-Ausgänge**

Der PFL bietet eine Pulsgeneratorschaltung welche es ermöglicht, das Leitverhalten von Transistoren, Thyristoren, Triacs und anderen Dreipolen zu untersuchen, indem Pegel, Pulsbreite, Polarität und Zeitverzögerung des Pulsausganges verändert werden können. Zwei Pulsausgänge dienen zum Vergleich zweier Boards.

Verbinden Sie die Pulsgeneratorleitungen mit den beiden blauen PULSE OUT-Buchsen am Anschlußpanel. Der Pulsgenerator erzeugt identische Signale auf beiden Buchsen gegen Masse. Die PULSE OUT-Signale werden über separate Verstärker gespeist, so daß bei einem Kurzschluß an einem Ausgang das Signal am zweiten Ausgang nicht beeinflußt wird.

### ***ICT 5V Stromversorgung***

Verwenden Sie die PFL780 +5V ICT Stromversorgung um ein Board während des ICT zu versorgen. Die +5V ICT Versorgung ist nur während des ICT aktiv.

### ***ICT Guard-Spannungen***

Der PFL780 bietet logische HIGH (5V) und LOW (0V) Guardspannungen um Busbausteine während des Tests zu isolieren. Bis zu 4 Guardspannungen können dabei an ausgewählte Bausteine zur Steuerung von Enable-Eingängen verwendet werden, um die Bauteile zu isolieren (um z.B. Bausteine zu deaktivieren, welche gemeinsame Daten- oder Adressleitungen mit dem Prüfling aufweisen).

### **Die PFL Rückwand**

Auf der Geräterückseite befinden sich der IEC Netzanschluß, Netzschalter, Fußpedalanschluß, RS232-Anschluß und die Prüfkanalsicherungen.

### ***Fußpedalanschluß***

Verbinden Sie das POLAR Fußpedal (ACC124) mit dem Fußpedalanschluß auf der Geräterückseite. Betätigen des Pedals entspricht einem Klick der **Test**-Schaltfläche oder dem **Testen**-Befehl aus dem **Bauteil**-Menü.

### ***RS232-Anschluß***

Der RS232-Anschluß dient zur Übertragung von Befehlen und Daten zwischen PFL und dem Steuerrechner.  
*Verwenden Sie hierfür nur das mitgelieferte Kabel (ACC126).*

**Stellen Sie sicher, daß der Steuerrechner und der PFL ausgeschaltet sind, bevor Sie das Kabel anschließen.**

Verbinden Sie das Kabel mit der seriellen Schnittstelle des Rechners und mit dem RS232-Anschluß des PFL.

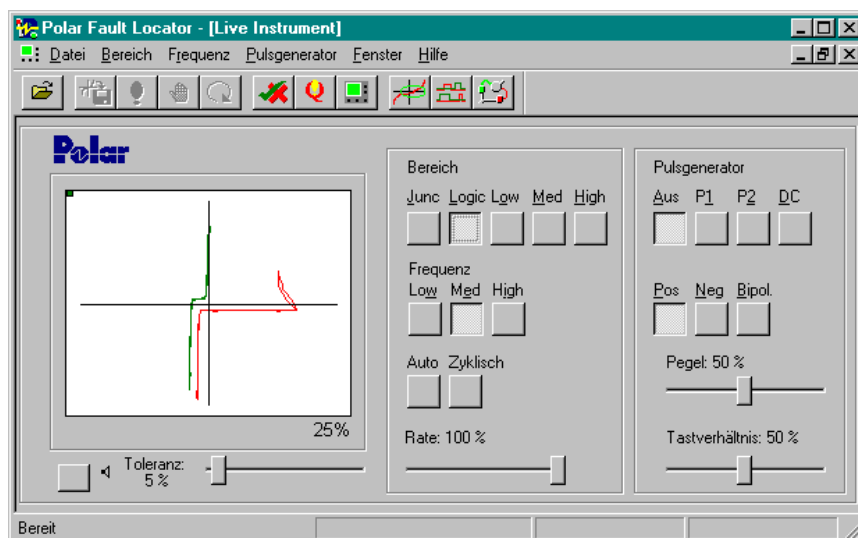
# Erste Schritte mit dem PFL

## Das Live-Instrument

### Das Live-Instrument

Das PFL **Live-Instrument** ermöglicht dem Benutzer Bauteile direkt mit der ASA-Technik zu testen und den Vergleich von Gut- und Schlechtboard durchzuführen.

Drücken Sie die **Live**-Schaltfläche — es erscheint der Live-Instrument Schirm wie unten abgebildet.



Bauteilsignaturen werden im Displayfenster auf dem Monitor des Steuerrechners dargestellt. Die Signaturen von Bauteilen auf Kanal A werden in Grün dargestellt, Kanal B-Signaturen in Rot.

Testmethoden für allgemeine Bauteile werden im Abschnitt *ASA Bauteiltest* detailliert behandelt.

### Verwendung der PFL Prüfspitzen

Der PFL wird mit einem Paar Prüfspitzen ähnlich denen eines Multimeters und Masseleitungen ausgeliefert, welche an die A und B Buchsen sowie an COM-Masse angeschlossen werden.

### ***Anschluß der Prüfkabel***

Verbinden Sie die rote Prüfspitze mit Kanal A, die schwarze Prüfspitze mit Kanal B und den schwarzen Testclip mit der COM-Buchse.

Verbinden Sie den COM-Testclip mit der Masse des Prüflings. Werden zwei Boards verglichen, so müssen die Massen beider Boards mit den COM Buchsen des PFL verbunden werden.

Verbinden Sie die A und B Prüfspitzen mit den Bauteilen auf den Boards. Verwenden Sie dabei Kanal A als Referenzkanal für das Gutmuster.

Doppelklick auf die Signatur zeigt eine Vollbildansicht - nochmaliger Doppelklick kehrt zur Normalansicht zurück.

## **Einstellung der Prüfbedingungen**

### **Testspannungswahl**

Das **Live-Instrument** ermöglicht die manuelle Wahl von Testbereichen und Frequenzen. Dadurch kann der Anwender die passende Spannung und Frequenz für den jeweiligen Bauteil vorgeben.

Um den Bereich oder die Frequenz zu wählen, klicken Sie auf die entsprechenden Schaltflächen oder wählen Sie mit der Tabulator-Taste Spannung, Frequenz und Pulsgenerator und verändern Sie die Einstellung mit der linken und rechten Cursortaste.

Es sollten nun die zwei Bauteilsignaturen am Display erscheinen, wobei Kanal A in Grün und Kanal B in Rot dargestellt wird.

### **Wahl der Prüfspannung**

Der PFL bietet eine Auswahl von strombegrenzten Prüfspannungen. Es kann jeweils nur eine Prüfspannung aktiv sein.

<b>Einstellung</b>	<b>Spannung</b>	<b>Anwendung</b>
Junction	1V AC Spitze 500µA Strombegrenzung	Halbleiterbauteile und Schaltkreise, z.B. Dioden, empfohlen für IC's
Logic	10V AC Spitze 5mA Strombegrenzung	Geeignet für die meisten Bauteile, Ideal für Leuchtdioden. Niedrige Spannung und Strom daher nur geringe Bauteilbelastung
Low	10V AC Spitze 150mA Strombegrenzung	Niederohmige Bauteile und Leistungsdioden. Nicht geeignet für Kleinleistungsbauteile
Med	20V AC Spitze 1mA Strombegrenzung	Für Bauteile im mittleren Widerstands-bereich, Zenerdioden mit Durchbruchspannungen bis 20V. Auch zum Prüfen von Diodenleckströmen.
High	40V AC Spitze 1mA Strombegrenzung	Hochohmige Bauteile, Diodendurchbruchspannungen von 20V bis 40V, Diodenleckströme.

Wählen Sie mit der Maus oder mit rechter und linker Cursortaste die passendste Spannung um aussagekräftige Signaturen zu erzeugen. (Dies ist in der Regel die Spannung welche die größte Ablenkung ergibt.)

Durch die Auswahl höherer Testspannungen fließt mehr Strom, Signaturen mit besser erkennbaren Flanken werden angezeigt.

### ***Bereichssperre***

Die Funktion **Bereichssperre** ermöglicht das Sperren einzelner Bereiche sodaß diese nicht durch manuelle Wahl, Zyklisch oder Auto aktiviert werden können.



## Wahl der Prüffrequenz

Die von einem reinen Widerstand erzeugte Signatur ist eine geneigte gerade Linie, deren Anstieg vom Widerstandswert abhängt. Für einen reinen Widerstand ist die gewählte Frequenz für die angezeigte Signatur unerheblich.

*Durch die Wahl anderer Testfrequenzen kann sich die Impedanz des Bauteils ändern, das Widerstandsverhalten kann dadurch erhöht oder vermindert werden.*

Infolge der Energiespeichercharakteristik bewirken reaktive Bauteile eine Phasenverschiebung zwischen Strom und Spannung. Diese drückt sich als Kreis oder Ellipse, ausgerichtet mit dem Achsenkreuz, aus. Ist eine Widerstandskomponente in einer Schaltung gegenüber der Reaktanz dominierend, so wird die elliptische Signatur geneigt. Durch die Wahl verschiedener Testfrequenzen kann dieser Effekt minimiert oder maximiert werden. In einem Kondensator fließt bei höherer Frequenz mehr Strom; dies bewirkt eine größere Auslenkung in vertikaler Richtung. In einer Spule steigt der Stromfluß bei niedrigerer Frequenz.

Siehe Abschnitt *ASA Bauteiltest* für eine Beschreibung von Halbleitersignaturen.

Die folgende Tabelle ist als Anleitung zur Frequenzwahl gedacht. Es kann jeweils nur eine Frequenzwahl aktiv sein.

Einstellung	Anwendung
Low	90Hz Signal für die Untersuchung von Bauteilen mit größeren Induktivitäten und Kapazitäten; z.B. in Stromversorgungen.
Med	500Hz für die meisten Anwendungen der Fehlersuche.
High	2KHz Signal für Bauteile und Schaltungen mit kleinen Kapazitäten und Induktivitäten.

**Hinweis:** Manche Schleifen auf Signaturen (infolge Streukapazitäten) können sogar auftreten, wenn die Prüfspitzen nicht mit dem Testobjekt verbunden sind, speziell in der Frequenzeinstellung **High**.

## **Auto**

Der **Auto**-Befehl wählt automatisch den Bereich, der eine aussagekräftige Signatur ergibt. Kanal A dient hierbei als der steuernde Kanal. Um den **Auto**-Betrieb zu verlassen, wählen Sie manuell einen Testbereich oder **Zyklisch**.

## **Zyklisch**

Mit **Zyklisch** durchläuft das Gerät kontinuierlich jeden Spannungsbereich und zeigt die Signatur. Mit der **Rate**-Einstellung kann die Verweilzeit in den Bereichen eingestellt werden. Um **Zyklisch** zu verlassen, wählen Sie manuell einen Testbereich oder **Auto**.

## **Toleranz**

Mit dem **Toleranz**-Regler (von 1 - 99%) ändern Sie die Empfindlichkeit des Signaturvergleichs als Prozentwert. Niedrigere Werte führen einen genaueren Vergleich durch, höhere Werte erlauben größere Unterschiede in den Signaturen. Als Anfangswert kann man z.B. mit 5% beginnen und dann die Empfindlichkeit so verändern, daß normale Toleranzen zulässig sind, echte Fehler jedoch erfaßt werden.

## **Beepton**

Klicken Sie auf die Beep-Schaltfläche um ein akustisches Signal bei Überschreitung des eingestellten Toleranzwertes zu geben. Diese Funktion ermöglicht dem Anwender Baugruppen zu vergleichen, ohne auf die Anzeige zu blicken.



*Beep-Schaltfläche  
- Verwenden Sie den  
Beepton zur akustischen  
Fehlersuche.*

## **Pulsgeneratorausgänge**

Der PFL bietet eine Pulsgeneratorschaltung welche es ermöglicht, das Leitverhalten von Transistoren, Thyristoren, Triacs und anderen Dreipolen zu untersuchen, indem Pegel, Pulsbreite, Polarität und Zeitverzögerung des Pulsausganges verändert werden können.

Der Pulsgenerator erzeugt identische Signale auf beiden Buchsen gegen Masse. Die PULSE OUT-Signale werden über separate Verstärker gespeist, so daß bei einem Kurzschluß an einem Ausgang das Signal am zweiten Ausgang nicht beeinflusst wird.

## **Pulsgenerator-Anwendungen**

Der Pulsgenerator ermöglicht die Durchführung verschiedener Tests an einer Vielzahl von Dreipolen. Der

Pegel des Pulsers kann im **Live Instrument**-Betrieb durch Verschieben des Reglers mit der Maus oder durch Auswahl per Maus und mit den Cursortasten verändert werden.

Hinweis: der Pulsgenerator wird abgeschaltet, wenn **Junction** gewählt wird.

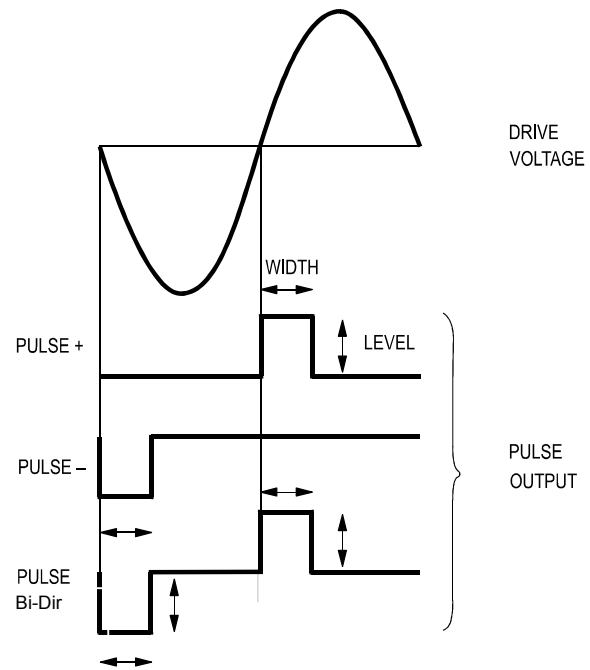
Siehe *ASA Bauteiltest* für eine detaillierte Beschreibung des Dreipoltests.

Verbinden Sie die Pulsgeneratorleitungen mit den beiden blauen PULSE OUT-Buchsen an der Buchsenleiste.

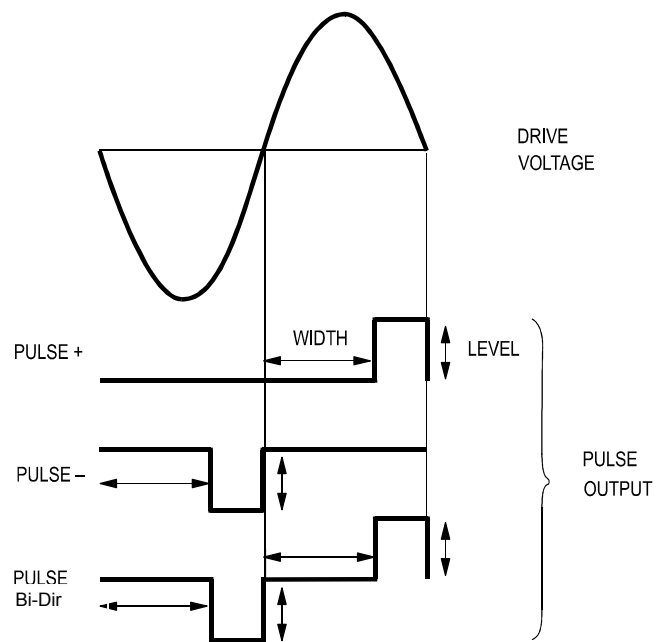
Die **Pulser**-Einstellungen werden in folgender Tabelle dargestellt:

<b>Pulstyp</b>	<b>Funktion</b>
DC Pos	Wählt eine positive Gleichspannung. Die Spannung kann mit <b>Pegel</b> eingestellt werden.
DC Neg	Wählt eine negative Gleichspannung. Die Spannung kann mit <b>Pegel</b> eingestellt werden.
P1	Das Pulssignal P1 startet <i>beim Nulldurchgang</i> des Testsignals. Die Pulsbreite wird mit <b>Tastverhältnis</b> eingestellt, die Spannung mit <b>Pegel</b> .
P1 Pos	Wählt ein positives Pulssignal wie in Abbildung Puls 1 Ausgang
P1 Neg	Wählt ein negatives Pulssignal wie in Abbildung Puls 1 Ausgang
P1 Bipol.	Wählt ein bipolares Pulssignal wie in Puls 1 Ausgang, Pulsbreite wird mit <b>Tastverhältnis</b> und Pulsamplitude mit <b>Pegel</b> eingestellt.
P2	Das Pulssignal P2 startet nach dem Nulldurchgang bei einem Punkt des Testsignals, welcher mit <b>Tastverhältnis</b> eingestellt wird. Es endet beim nächsten Nulldurchgang des Testsignals. Die Spannung wird mit <b>Pegel</b> eingestellt.
P2 Pos	Wählt ein positives Pulssignal wie in Abbildung Puls 2 Ausgang
P2 Neg	Wählt ein negatives Pulssignal wie in Abbildung Puls 2 Ausgang
P2 Bipol.	Wählt ein bipolares Pulssignal wie in Puls 2 Ausgang, Pulsbreite wird mit <b>Tastverhältnis</b> und Pulsamplitude mit <b>Pegel</b> eingestellt.
Tastverhältnis	Ändert die Pulsbreite bis zu einem Maximum der halben Periodendauer
Pegel	Ändert den Pulspegel zwischen 0 und 5V.

Es kann jeweils nur eine Einstellung DC, Pulse1 oder Pulse 2 getroffen werden



Puls 1 Ausgang



Puls 2 Ausgang

## Test integrierter Schaltungen

Alle integrierten Schaltkreise können durch paarweises Abtasten der Anschlüsse getestet werden. Die meisten ICs zeigen eine Signatur ähnlich von Zenerdioden.

Bitte beachten Sie, daß ICs durch unterschiedliche Herstellertechnologie deutlich abweichende Signaturen zeigen können. Diese Tatsache muß berücksichtigt werden, bevor ein Bauteil als schlecht diagnostiziert wird.

Siehe *ASA Bauteiltests* für die Besprechung von IC-Tests - dieses Kapitel enthält typische IC-Signaturen.

Die COM-Strippe muß auf jedem Testobjekt mit einem gemeinsamen Punkt, normalerweise 0V, verbunden werden. Es kann auch nützlich sein, für die Signaturanalyse den Pin Vcc als gemeinsamen Punkt zu verwenden.

## Bauteiltest mit Quicktest

Die PFL780 **Quicktest**-Funktion ermöglicht dem Anwender der Vergleich zwischen Gut- und Schlechtboard ohne ein Testprogramm erstellen zu müssen. Wenn Gutmuster verfügbar sind, kann der Anwender ein Vergleichsverfahren zum Bauteiltest anwenden. **Quicktest** nimmt die Referenzsignaturen eines Gutmusters auf und vergleicht diese mit dem Prüfling.

Mittels **Quicktest** werden die Signaturen eines Gutmusters aufgenommen und mit dem Prüfling verglichen.

### Vergleichstests mit Quicktest

Die **Quicktest**-Vergleichsfunktion kann auf drei Arten verwendet werden):

Durch Eingabe der Bauteiltype (**Bibliothek**).

Durch die Auswahl **ASA**, wobei das Gerät automatisch die Anzahl der Pins erkennt und einen ASA-Test durchführt

Durch die Auswahl **Probe** oder einer POLAR SMD-Prüfspitze.

Die **Quicktest**-Vergleichsfunktion **Bibliothek** ermöglicht die Auswahl eines Bauteils aus einer Bibliothek, welche vordefinierte Parameter für die gängigsten Bauteile aufweist. Die vordefinierten Parameter sind für die meisten Applikationen passend. Die Testparameter (Spannungen, Frequenzen, etc.) können jedoch mit dem Befehl **Parametereinstellungen** aus dem Menü **Bauteil** verändert werden.

### **ICT Verbindungen (nur PFL780)**

**ICT Verbindungen** prüft auf kurzgeschlossene Anschlüsse bzw. Masse-/5V-Schlüsse mittels dem ICT Funktionsmodell. Ist kein ICT-Funktionsmodell für den Baustein vorhanden, so führt der PFL einen **ASA Verbindungstest** (siehe unten) durch.

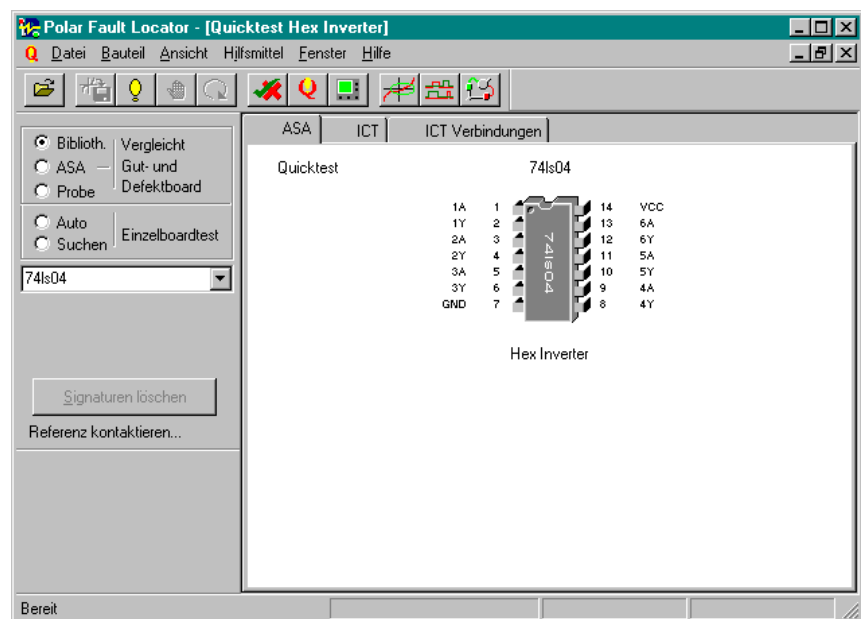
### **ASA Verbindungen**

**ASA Verbindungen** identifiziert Anschlüsse welche einen Masseschluß aufweisen.

Hinweis: Es kann jeweils nur eine Art von Verbindungstest gewählt werden.

### **Vergleichstest eines Bauteils mit Quicktest**

Klicken Sie die **Quicktest**-Schaltfläche — es erscheint der **Quicktest** Schirm (Bild unten PFL780) mit dem zuletzt getesteten Bauteil.



Im Vergleichstest zeigt **Quicktest** die Eingabeaufforderung **Referenz kontaktieren...** Geben Sie die Bauteiltype in der Referenzbox ein ( z.B. durch Eintippen von 74LS244 oder durch Wahl von der Bauteilliste.).



*Klicken Sie die Test-Schaltfläche auf der Tool-Leiste um Signaturen aufzunehmen und zu speichern.*

Setzen Sie den Testclip auf den Bauteil auf und drücken Sie die **Test**-Schaltfläche oder drücken Sie den Fußtaster zum Aufnehmen und Speichern von Signaturen.

(Wenn Kommentare oder spezielle Instruktionen (Siehe *Parametereinstellungen - Hinweis*) für diesen Bauteil

*Die Ansichten können auch durch Doppelklick auf den dargestellten Bauteil gewählt werden. Um alle Ergebnisschirme anzuzeigen, wählen Sie **Alle anordnen** aus dem **Fenster-Menü**. Das Umschalten zwischen geöffneten Ansichten erfolgt ebenfalls im **Fenster-Menü**.*

eingetragen wurden, so werden diese vor dem Aufnehmen der Signaturen angezeigt; zum Fortsetzen drücken Sie **OK**)

Die Referenzsignaturen können durch Umschalten in den Ansichtsmodus betrachtet werden. Klicken Sie die **ASA Ansicht**, **ICT Ansicht** oder **Verbindungsansicht** Schaltflächen um eine Ansicht zu öffnen oder zu wählen.

Es wird die Eingabeaufforderung **Prüfling kontaktieren...** angezeigt. Setzen Sie den Testclip auf den Bauteil auf und drücken Sie die **Test**-Schaltfläche - der Bauteil wird mit den gespeicherten Referenzsignaturen verglichen.

Es wird eine Meldung **Gut** oder **Fehler** in der Ergebnisleiste und eine grüner Haken oder ein rotes Kreuz auf den Registerkarten zur Markierung der einzelnen Tests angezeigt.

Die Referenz- und Prüflingssignaturen können durch Wahl des Ansichtsmodus angezeigt werden.

Nochmaliges Drücken von **Test** nimmt die Signaturen des Prüflings erneut auf und vergleicht sie mit der Referenz.

Ist ein neuer Bauteil zu testen, so können mit **Signaturen löschen** die Signaturen des Referenzbauteils und des Prüflings gelöscht werden.

### ***Ansicht der ASA-Ergebnisse***

Der ASA Ansichtsmodus zeigt typische ASA-Ergebnisse. Referenzsignaturen werden in Grün und Signaturen des Prüflings werden in Rot dargestellt.

Das ASA Ergebnisfenster zeigt die Referenzsignaturen für jeden Pin des geprüften Bauteils in allen gewählten Spannungsbereichen (Junction, Logic, Low, etc.)

*ASA-Signaturen des Prüflings. Doppelklick auf eine Signatur zeigt eine Live-Darstellung des Pins..*



*Sie können auf andere Spannungsbereiche wählen indem Sie durch Klicken mit der rechten Maustaste ein Auswahlmenü einblenden*

Standardmäßig werden die ASA-Signaturen in absteigender Fehlergröße angezeigt, d.h. Signaturen mit der größten prozentuellen Abweichung werden in der oberen Reihe angezeigt. Mit den Scroll-Pfeilen auf der vertikalen Laufleiste können die weiteren Pins und Spannungsbereiche betrachtet werden.

*Mit der rechten Maustaste wählen Sie **Ansicht nach Fehler***

Wählen Sie **Ansicht nach Anschlüssen** aus dem **Ansicht-**Menü um die Pins in aufsteigender Pinfolge in jedem Spannungsbereich anzuzeigen

Mit der Maximier-Schaltfläche schalten Sie auf Vollbild-darstellung.

### ***Ansicht der ICT-Ergebnisse***

Die ICT-Ansicht zeigt das ICT-Logikdiagramm für den getesteten Bauteil.

Das Logikdiagramm ist eine diagrammatische Darstellung der logischen Funktionen des Bauteils in der Schaltung. Das Logikdiagramm zeigt die logischen Pegel jedes Pins in jedem Testschritt des Bauteils, wobei der Zusammenhang zwischen Steuerleitungen, Signalein- und ausgängen graphisch dargestellt wird.

*ICT-Logikdiagramm  
Das Logikdiagramm zeigt den Status jedes Pins zu jedem Testschritt. Mit den Auf- und Ab-Cursorasten können die weiteren Pins zur Anzeige gebracht werden.*

Der PFL stellt die Referenzdaten des Bauteils in Grün dar. Die Logikpegel werden als High, Low und Tristate (strichlierte Linie zwischen High und Low) oder Don't Care (schraffierte Bereiche) gezeigt.

Fehlerhafte Pins werden Rot markiert. .

Durch Drücken der Leertaste oder durch Wahl von **Unbeschaltet** aus dem **Ansicht**-Menü können die logischen Funktionen des Bauteils in unbeschaltetem Zustand entsprechend dem Idealverhalten laut Bibliothek angezeigt werden.

### ***Ansicht von Verbindungen***

Das **Verbindungsansicht**-Fenster zeigt die Ergebnisse des **Verbindungstest** für den Baustein. Der **Verbindungstest** zeigt:

Pins welche Stuck High der Stuck Low (d.h. mit fixen logischen Pegeln versehen sind)

Verbindungen zwischen Pins

Pins, welche als Stuck High (z.B. Vcc) erkannt wurden, werden durch eine Verbindung auf die Versorgungsschiene gekennzeichnet.

Pins, welche als Stuck Low (z.B. GND) erkannt wurden, werden durch eine Verbindung mit Masse gekennzeichnet.

Verbindungen, welche gleichermaßen auf der Referenz und auf dem Prüfling vorhanden sind, werden in Grün dargestellt. Unerwartete Verbindungen werden in Rot gezeigt, fehlende Verbindungen als strichlierte Linien.

## Einzelboardtest mit Quicktest (nur PFL780)

### **Autokompensation**

Steht kein Gutmuster für einen Vergleich zur Verfügung, so können Sie die **Auto**-Funktion zur Durchführung eines digitalen Funktionstests auf der Baugruppe verwenden.

Wenn ein Bauteil sich im eingebauten Zustand befindet, so kann sich sein logisches Verhalten von seinem unbeschalteten Zustand unterscheiden. So verhält sich z.B. ein Dual-NAND-Gatter mit beiden Eingängen verbunden wie ein Inverter. Die **Auto**-Funktion ist nun in der Lage dieses Verhalten zu kompensieren.

Wenn ein Bauteil mittels **Auto** getestet wird, so identifiziert der PFL780 verbundene Anschlüsse und Masse-/5V-Verbindungen und erstellt eine Softwaresimulation des Bauteils. Der Bauteil wird dann gegen dieses simulierte Softwaremodell im eingebauten Zustand getestet.

Wählen Sie **Auto** aus dem Einzelboardtest.

Kontaktieren Sie den Baustein, geben Sie die Bauteiltype ein und klicken Sie auf **Test**. Die Ergebnisse werden wie bereits beschrieben dargestellt.

Ist der PFL nicht in der Lage die Beschaltung des Bausteins automatisch zu kompensieren, so zeigt Quicktest einen Hinweis, daß gegen das Bibliotheksmodell getestet wird.

Ist der Baustein außerhalb der Schaltung zu testen, so aktivieren Sie die Klickbox **Test außerhalb der Schaltung**.

### **Suchen nach Bausteintypen (nur PFL780)**

Mit der Funktion **Suchen** können unbekannte Bausteine identifiziert werden (wenn z.B. die Beschriftung entfernt wurde oder schlecht lesbar ist). Der PFL780 sucht in der ICT Datenbank nach Bausteinen, welche gleiches logisches Verhalten aufweisen.

Bausteine mit gleichem Funktionsmuster werden im Suchtextfeld aufgelistet..

Ist der Baustein außerhalb der Schaltung zu testen, so aktivieren Sie die Klickbox **Test außerhalb der Schaltung**.

# Asa Bauteiltest

*Der schnellste Weg der Diagnose ist der Vergleich von Signaturen. Meist ist keine detaillierte Analyse der Signaturform erforderlich..*

## Signaturformen

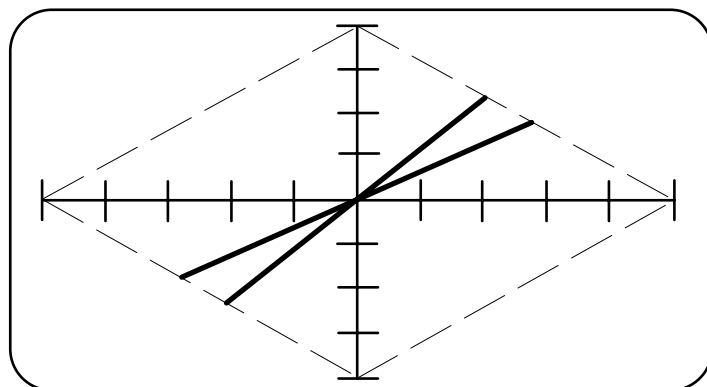
Bei der Analogen Signaturanalyse werden sichere, extrem leistungsarme Spannungen auf verschiedene Punkte einer Schaltung gelegt, die sogenannte „Impedanzsignaturen“ auf dem PC-Bildschirm erzeugen.

Impedanzsignaturen sind Kurven, in denen der Strom über der Spannung aufgetragen wird. Die Skalierung hat ihren Ursprung in der Mitte des Schirms.

Positive Spannungen und Ströme werden im oberen rechten Quadranten des Bildschirms dargestellt, negative Spannungen und Ströme im unteren linken Quadranten (siehe Bild unten).

Alle Signaturen befinden sich innerhalb des rautenförmigen Feldes, welches durch die "Lastkurven", die die Endpunkte der Achsen verbinden, gebildet wird.

Anzeige X- und Y-Achse



Die Tabelle unten zeigt die Spitzenspannung und den maximalen Strom in jedem einzelnen Spannungsbereich:

Bereich	Spitzenspannung	Spitzenstrom
Junction	1V	500µA
Logic	10V	5mA
Low	10V	150mA
Med	20V	1mA
High	40V	1mA

*PFL Spannungsbereiche*

## Test passiver Bauteile mit ASA

### Test von Widerständen

Die Signatur, welche von einem reinen Widerstand erzeugt wird, ist eine gerade Linie, deren Neigung vom Widerstandswert abhängt. Ein großer Widerstand bewirkt nur einen geringen Stromfluß, wenn eine geringe Testspannung angelegt wird. Die resultierende Signatur ist nicht einfach von einem Leerlauf zu unterscheiden. Durch die Wahl des Spannungsbereiches **High** fließt ein größerer Strom, und eine leichter erkennbare Signatur ist das Ergebnis.

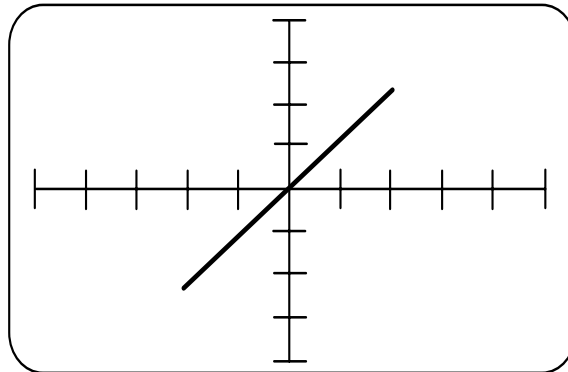
Die Tabelle zeigt die Bereiche mit den ungefähren Widerstandswerten, in denen eine einfache Unterscheidung von einem Kurzschluß (vertikale Linie) und einem Leerlauf (horizontale Linie) möglich ist.

Bereich	Widerstandswert (Ohm)
Junction	1K to 50K
Logic	300R to 6K
Low	16.5R to 300R
Med	5K to 60K
High	12K to 150K

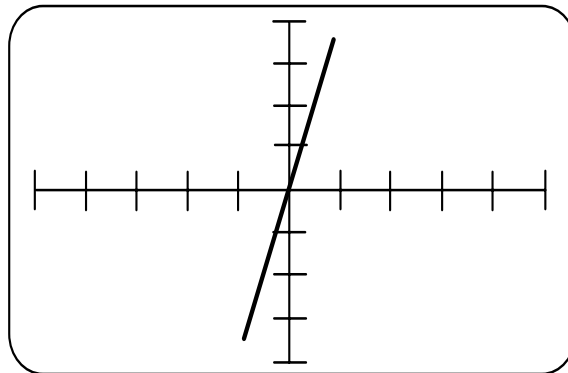
*Widerstandsbereiche*

Die folgenden Abbildungen zeigen typische Signaturen für drei Widerstandswerte.  $2k\Omega$ ,  $270k\Omega$  and  $10K\Omega$ .

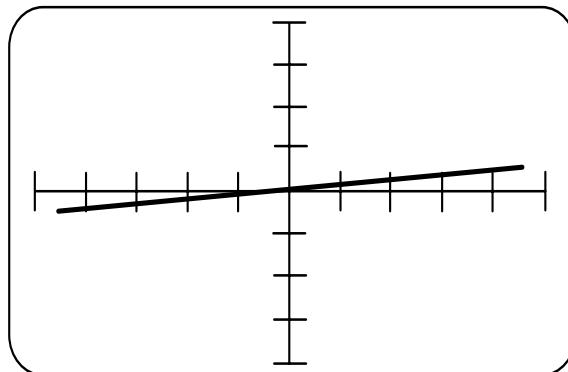
*2K Widerstand  
Logic Bereich  
Low Frequenz.*



*270K Widerstand  
High Bereich  
Low Frequenz*



*10K Widerstand  
High Bereich  
Low Frequenz*



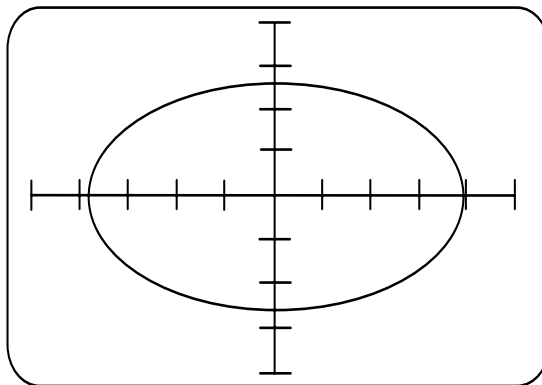
## Test von Kondensatoren

Aufgrund ihrer energiespeichernden Eigenschaft verursachen Reaktanzen eine Phasenverschiebung zwischen Spannung und Strom.

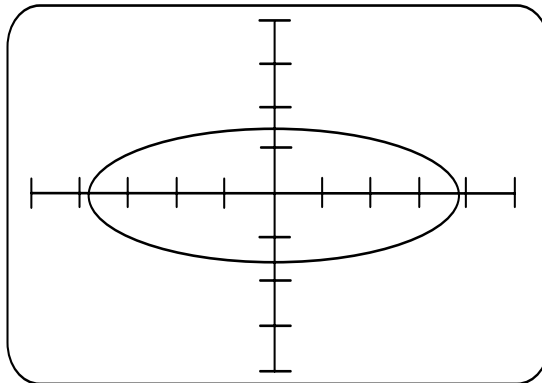
Dies wird durch eine kreisförmige oder elliptische Signatur dargestellt. Die folgenden Abbildungen zeigen typische Signaturen von drei Kondensatoren.

Bei einem rein kapazitiven Verhalten sind die Achsen der Ellipse mit den Achsen des Bildschirms parallel. Ist jedoch auch eine ohmsche Komponente enthalten, so sind die Achsen der Ellipse gegenüber den Bildschirmachsen geneigt.

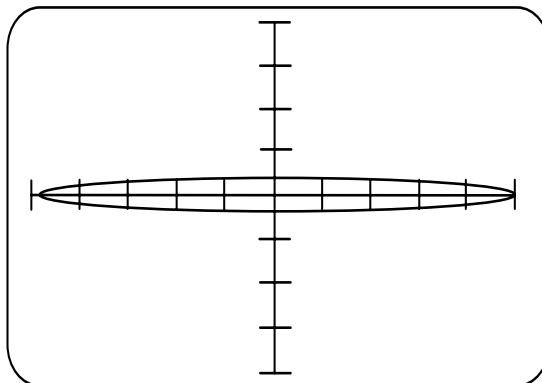
22uF Kondensator  
**Low** Bereich  
**Low** Frequenz



10uF Kondensator  
**Low** Bereich  
**Low** Frequenz



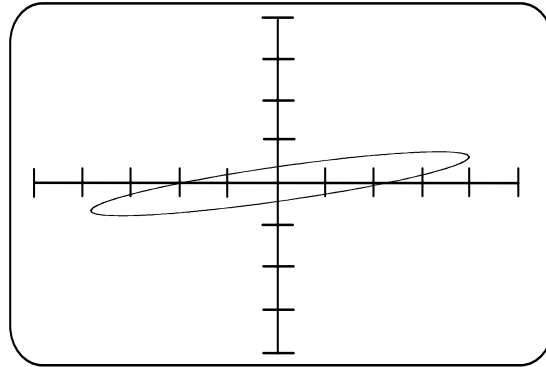
82pF Kondensator  
**High** Bereich  
**High** Frequenz



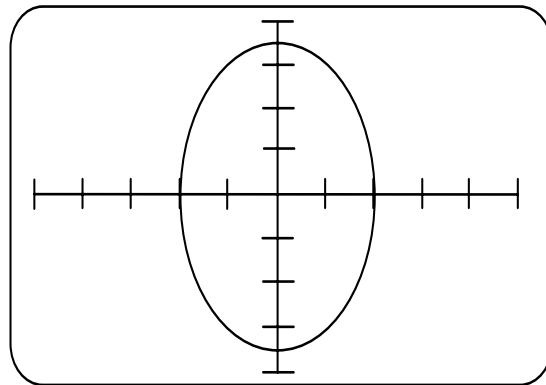


Die folgende Abbildungen zeigen die Signatur eines defekten 47µF Kondensators mit einem Widerstand-sverhalten sowie die Signatur eines guten 47µF Kondensators. Durch die Wahl unterschiedlicher Testfrequenzen kann die Impedanz verändert werden und der Einfluß der ohmschen Komponente vergrößert oder verkleinert sich.

47uF Kondensator  
**Low Bereich**  
**Low Frequenz**  
 Defekter  
 Kondensator mit  
 ohmschen Anteil



47uF Kondensator  
**Low Bereich**  
**Low Frequenz**  
 Guter Bauteil



Die folgende Tabelle zeigt die Bereiche von Kondensatoren mit den zugehörigen Frequenzen und Spannungsbereichen.

	Frequenz		
Bereich	Low	Med	High
<b>Logic</b>	300nF – 6uF	56nF – 1uF	15nF – 300nF
<b>Low</b>	6uF – 100uF	1uF – 20uF	300nF – 5uF
<b>Med</b>	30nF – 300nF	5nF – 68nF	1.5nF – 15nF
<b>High</b>	10nF – 150nF	2nF – 30nF	500pF – 7nF

Kapazitätsbereiche

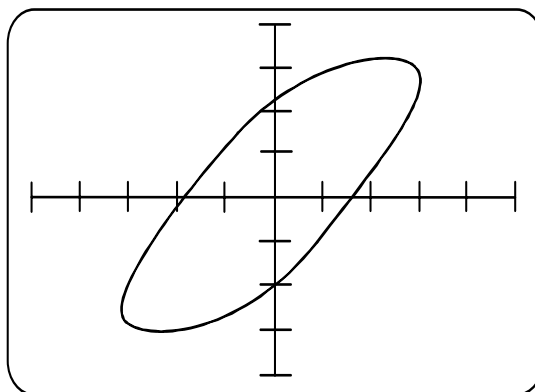
## Test von Induktivitäten

Die folgende Tabelle zeigt die Bereiche von Induktivitäten mit den zugehörigen Frequenzen und Spannungsbereichen.

	Frequenz		
Bereich	Low	Med	High
Logic	500mH – 11H	100mH – 2H	25mH – 500mH
Low	30mH – 500mH	6mH – 100mH	1.5mH – 25mH
Med	10H – 110H	2H – 10H	500mH – 5H
High	20H – 300H	4H – 50H	1H – 12H

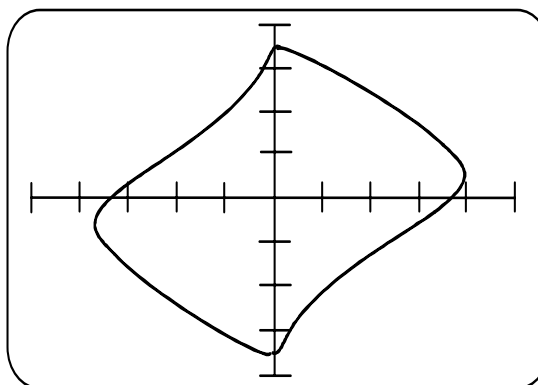
Die folgende Abbildung zeigt die Signatur einer Primärseite eines Ferrittransformators mit Testspannung **Low** und Testfrequenz **High**. Dies demonstriert den Effekt eines ohmschen Widerstandes, welcher die Neigung der Ellipse bewirkt.

Ferrittransformators  
Primärseite  
**Low** Bereich  
**High** Frequenz



Die folgende Abbildung zeigt einen ähnlichen (defekten) Transformator mit einer kurzgeschlossenen Windung. Der Bediener kann die passendste Testfrequenz — **Low**, **Med** und **High** (siehe **Parametereinstellung**) wählen. Durch einen Kondensator fließt mehr Strom bei höheren Frequenzen, welches durch eine größere vertikale Ablenkung dargestellt wird. Durch eine Spule fließt höherer Strom bei niedrigeren Frequenzen.

Ferrittransformator  
Primärseite  
**Low** Bereich  
**High** Frequenz  
Kurzgeschlossene  
Windung

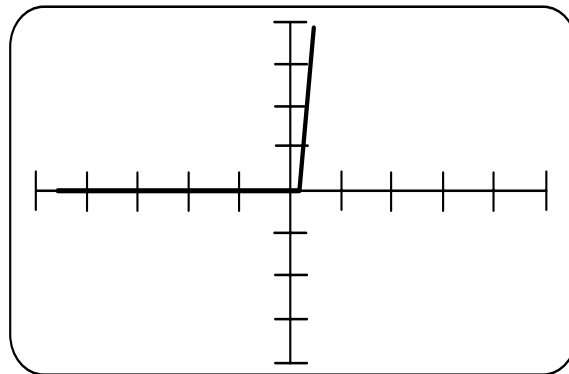


# ASA Test von Halbleitern

## Test von Dioden, LEDs und Zenerdioden

In Vorwärtsrichtung zeigt eine Diode einen niedrigen Widerstand und einen Spannungsabfall von ca. 0.6 V. Dies produziert eine Signatur mit einer nahezu vertikalen Linie an der Y-Achse - siehe Diagramm unten.

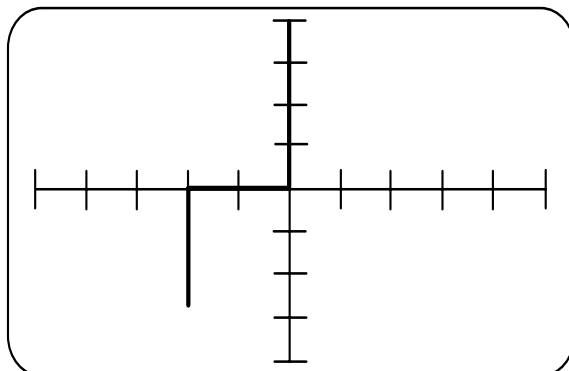
*Kleinsignaldiode  
Logic Bereich  
Low Frequenz*



In Sperrichtung zeigt die Diode einen hohen Widerstand ähnlich einem Leerlauf-verhalten. Dies ergibt eine horizontale Linie nahe der X-Achse. Eine Leuchtdiode (LED) zeigt eine ähnliche Signatur wie eine konventionelle Diode mit Ausnahme, daß der Spannungsabfall in Sperrichtung ca. 1.5 V beträgt.

Eine Zenerdiode zeigt die selbe Signatur wie eine konventionelle Diode für Spannungen unterhalb der Zenerspannung. Wenn die Spannung in Sperrichtung die Zenerspannung erreicht, wird die Signatur eines geringen Widerstandes gezeigt. Die Abbildung unten zeigt die Signatur einer 8.2V Zenerdiode.

*8.2V Zenerdiode  
Med Bereich  
Low Frequenz*



Beim Test von Zenerdioden kann die Skalierung der X-Achse dazu verwendet werden, um die Zenerspannung zu messen. (Siehe Tabelle PFL Testspannungen).

Passende Spannungsbereiche sind:

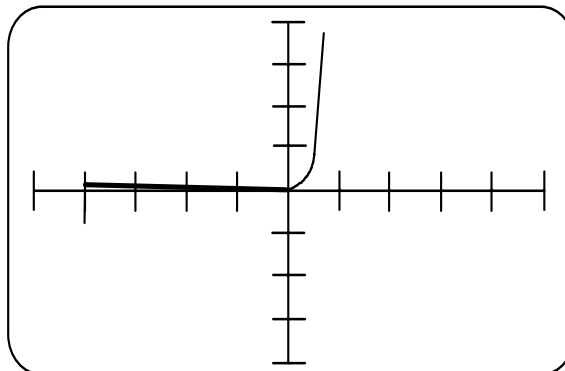
Leistungsdioden	<b>Low</b>
Kleinsignaldioden und LED's	<b>Logic</b>
Zenerdioden	<b>Med</b> bis zu 20V
	<b>High</b> über 20V

*HINWEIS: Die Signaturen sind invertiert, wenn die Prüfspitzen und COM-Verbindungen verpolt sind. .*

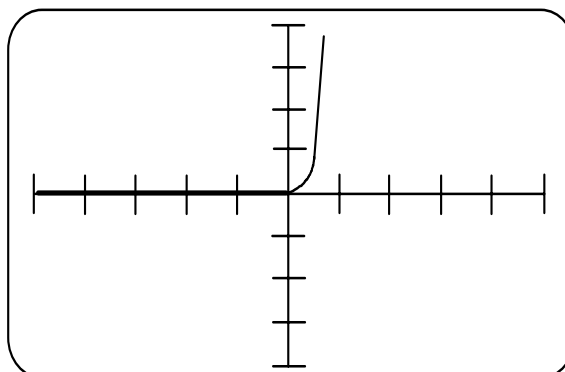
### Test von Transistoren

Ein Transistor enthält zwei Halbleiterübergänge, welche aneinandergesetzt sind (einer zwischen Basis und Kollektor, einer zwischen Basis und Emitter). Die Abbildungen unten zeigen typische Signaturen eines NPN Transistors (Basis-Emitter, Basis-Kollektor und Emitter-Kollektor) bei dem Kollektor und Emitter N-Type und die Basis P-Type ist.

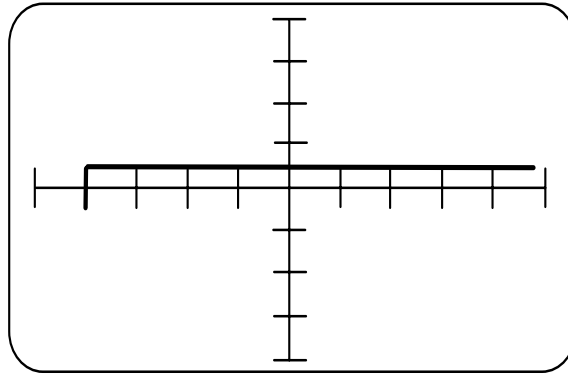
*NPN Transistor  
Basis-Emitter  
Med Bereich  
Low Frequenz*



*NPN Transistor  
Basis-Kollektor  
Med Bereich  
Low Frequenz*



*NPN Transistor*  
*Emitter-Kollektor*  
**Med Bereich**  
**Low Frequenz**



Die Basis-Emitter Signatur ist ähnlich einer Zenerdiode. *Hochfrequenz-Kleinsignaltransistoren sollten in diesem Modus nicht über längere Zeit betrieben werden!* Andauernder Revers-Durchbruch des Basis-Emitterübergangs kann eine permanente Veränderung der Bauteilcharakteristik zur Folge haben. Siehe "Funktionstests" für eine Methode, die den Basis-Emitterübergang nicht im Revers-Durchbruch betreibt.

Die Basis-Kollektor Signatur ist ähnlich einer konventionellen Diode.

Die Kollektor-Emitter Signatur ist ähnlich einer Diode in Serie mit einer Zenerdiode. Wenn das Prüfsignal positiv ist (Rechter Quadrant), so ist der Kollektor-Basisübergang in Sperrichtung und der Basis-Emitterübergang in Durchlaßrichtung. Der Kollektor-Emitterübergang in Sperrichtung verhindert einen Stromfluß, was eine Leerlaufsignatur zur Folge hat (Horizontale Linie).

Wenn das Prüfsignal negativ ist (Linker Quadrant), so ist der Kollektor-Basisübergang in Durchlaßrichtung und der Basis-Emitterübergang in Sperrichtung. Basis-Emitter zeigen einen Zenerdurchbruch wie oben beschrieben, was eine Signatur mit einem Zener-Ende zur Folge hat. Siehe obige Warnung über den Betrieb des Transistors mit dem Basis-Emitterübergang in Sperrichtung.

Die Signaturen eines PNP-Transistors sind spiegelbildlich zu denen eines NPN-Transistors.

### **Bestimmen der Transistoranschlüsse**

Die Anschlüsse eines unbekanntes Transistors können wie folgt identifiziert werden:

Wählen Sie den Bereich **Logic** und die Frequenz **Low**. Verbinden Sie den COM-Clip mit einem Anschluß des Transistors und prüfen Sie die anderen zwei Anschlüsse mit

der Prüfspitze für eine Übereinstimmung mit den Signaturen wie jene des NPN Transistors. (Siehe Test von Transistoren) Wenn die Signaturen Spiegelbilder der gezeigten sind, so handelt es sich um einen PNP-Bauteil.

### **Funktionstest von Transistoren**

Durch Ansteuern der Basis kann ein Funktionstest an Transistoren durchgeführt werden. Damit wird die Steuerwirkung der Basis überprüft.

Die folgende Prozedur gilt für einen NPN-Transistor. Der aussagekräftige Teil der Signatur befindet sich im oberen rechten Quadranten; Ignorieren sie den unteren linken Quadranten. Die Prozedur ist, falls nicht anders angegeben, identisch für PNP-Transistoren, wobei die Anzeigen aber spiegelbildlich erfolgen (d.h. der wichtige Teil der Signatur erscheint im unteren linken Quadranten):

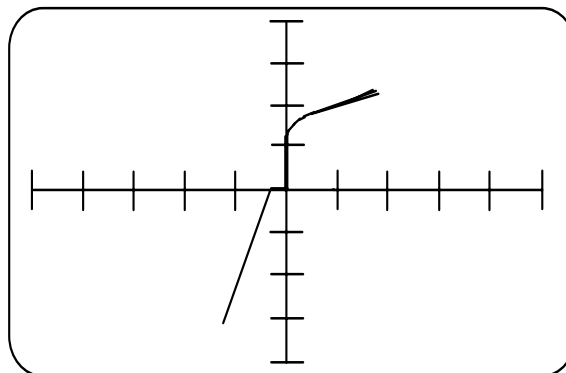
Verbinden Sie den Kollektor mit Kanal A, den Emitter mit COM und die Basis mit einem der beiden Pulsausgänge.

Wählen Sie den **Logic-Bereich**, **Low Frequenz**, **DC Pos** (für NPN) oder **DC Neg** (für PNP). Stellen Sie **Pegel** auf 0.

Die Signatur im rechten Quadranten ist eine horizontale Linie, es erfolgt kein Stromfluß. Wird **Pegel** erhöht, so wird der Basis-Emitterübergang leitend und der Transistor beginnt zu leiten. Dies erzeugt eine Signatur wie in folgender Abbildung.

Die Signatur ist ähnlich jener, die mit einem konventionellen Curve-Tracer erzeugt werden, mit Ausnahme, daß nur eine einzige Kurve erscheint. Ein weiteres Erhöhen von **Pegel** führt zur Sättigung des Transistors, was eine vertikale Linie nahe der Y-Achse ergibt.

*NPN Transistor  
Low Bereich  
Low Frequenz  
Kollektor-Emitter  
DC Neg auf Basis*

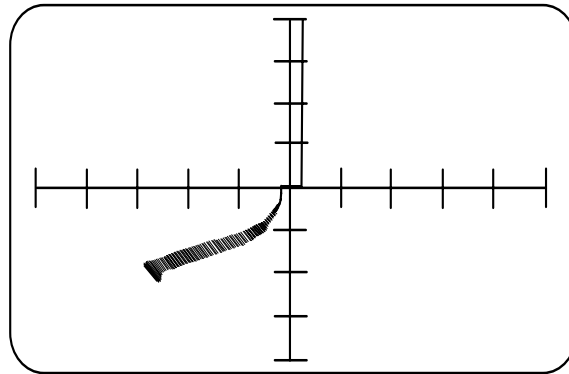


Da der Transistor als Schalter betrieben wird, sieht man am Beginn des Leitzustandes eine Signatur wie

in Abbildung unten (welche umgekehrt ist, da sie für einen PNP-Transistor gilt.)

Das bedeutet keinen Fehler, aber zeigt den Bauteil im Schaltbetrieb zwischen normalem Leitzustand und Sättigung. Eine stabilere Anzeige erhält man, indem man einen anderen Spannungsbereich wählt.

PNP Transistor  
**Logic Bereich**  
**Med Frequenz**  
Kollektor-Emitter  
**Pulse1 Neg**  
auf Basis



Die Wahl des Signals **Puls 1 Pos** vom Pulsgenerator zeigt Signaturen sowohl im Leitzustand als auch im Sperrzustand. Lassen Sie **Pegel** unverändert vom vorigen Schritt und verändern Sie die Pulsbreite mit **Tastverhältnis**. Ist der Puls HIGH, so ist der Basis-Emitterübergang im Leitzustand und der Transistor leitet. Ist der Puls LOW, sperrt der Transistor, und die Signatur zeigt einen Leerlauf.

### Test von Junction Field Effect Transistors (JFETs)

Der JFET besteht aus einem Halbleiterblock (dem Kanal) und einer Region, die mit Halbleitermaterial der entgegengesetzten Type zum Kanal (dem Gate) dotiert ist. Das Gate formt einen Diodenübergang mit jedem Ende des Kanals (dem "Source" und "Drain"), welcher wie konventionelle Dioden getestet werden kann.

Die Signaturen zwischen Source und Drain (siehe Funktionstests von Junction FET's) zeigen einen Widerstand mit niedrigem Wert und nichtlinearem Verhalten. Um eine stabile Anzeige zu erhalten, ist es notwendig, das Gate mit Source zu verbinden. Ein offenes Gate ist äußerst empfindlich gegen Interferenzen vom Testsignal.

### Funktionstests von Junction FET's

Der Leitzustand zwischen Source und Drain eines JFETs wird durch Reverse-Betrieb des Gate-Source-Überganges gesteuert.

Die folgende Prozedur gilt für N-Kanal FETs.

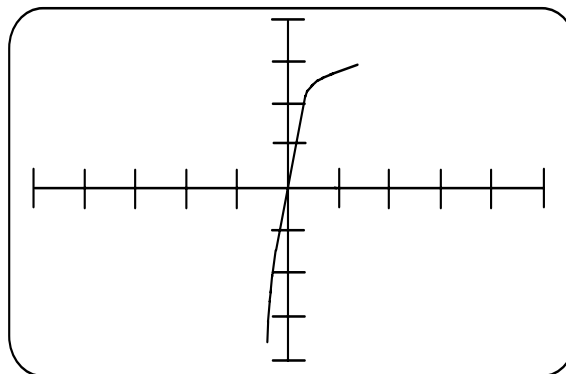
Der aussagekräftige Teil der Signatur erscheint im rechten Quadranten der Anzeige; ignorieren Sie den linken Quadranten. Die Prozedur ist, falls nicht anders angegeben, identisch für P-Kanal FETs, wobei eine spiegelbildliche Darstellung erfolgt (d.h. der wichtige Teil der Signatur erscheint im linken Quadranten)::

Verbinden Sie Drain mit Kanal A, Source mit COM und das Gate mit einem der beiden Pulsgeneratorausgänge.

Wählen Sie den **Logic** Bereich, **Low** Frequenz, **DC Pos** (für P- Kanal) oder **DC Neg** (für N-Kanal). Stellen Sie **Pegel** auf 0.

Wenn **Pegel** 0 ist, so ist die Drain-Source Signatur ähnlich wie in Abbildung unten. Wird **Pegel** erhöht (erhöhen der Revers-Vorspannung des Gate-Source-Übergangs), so wird der Leitzustand im Kanal reduziert. Wenn **Pegel** weiter erhöht wird, bricht der Leitzustand ab, und die Signatur im rechten Quadranten ergibt eine horizontale Linie.

Junction FET  
Logic Bereich  
Low Frequenz  
Drain-Source  
DC Pos  
an Basis



## Test von MOSFETs

*VORSICHT: Beachten Sie Antistatikvorkehrungen bei der Handhabung von MOSFETs. Verwenden Sie den **Logic** Bereich zum Testen (oder **Low** für Leistungs-MOSFETs). Verwenden Sie nicht die Bereiche **Med** oder **High**.*

MOSFETs sind Feldeffekttransistoren, deren Gate vom Kanal isoliert ist. Gate-Drain und Gate-Source Tests zeigen normalerweise eine Leerlaufsignatur, jedoch besitzen einige MOSFETs eine Schutzdiode zwischen Gate und Source. In diesen Fällen zeigt die Signatur das Verhalten einer Zenerdiode

Wie beim JFET wird das Source-Drain Leitverhalten durch die Gate-Source Spannung bestimmt. MOSFETs sind in zwei Varianten - den Anreicherungstypen und den Verarmungstypen - erhältlich, wobei das Leitverhalten durch



Vorwärts/Revers-Vorspannung des Gate-Source Überganges kontrolliert wird.

### **Funktionstests von MOSFETs**

Folgen Sie dieser Prozedur für einen N-Kanal Anreicherungstyp. Der aussagekräftige Teil der Signatur erscheint im rechten Quadranten des Bildschirms. Ignorieren Sie den unteren linken Quadranten. Wenn nicht anders angegeben, gilt diese Prozedur auch für P-Kanal FETs. Die Signaturen sind spiegelbildlich (der wichtige Teil der Signatur erscheint im linken Quadranten):

Verbinden Sie Drain mit Kanal A, Source mit COM und das Gate mit einem der Pulsgeneratorausgänge

Wählen Sie den **Logic** Bereich, **Low** Frequenz, **DC Pos** (siehe Hinweis unten). Stellen Sie **Pegel** auf 0.

Hinweis: Um die erforderliche Polarität für die Gate-Ansteuerung zu bestimmen, beachten Sie, daß das Gate für Anreicherungstypen in Vorwärtsrichtung vorgespannt und für Verarmungstypen in Sperrichtung vorgespannt ist. N-Kanal Anreicherungstypen und P-Kanal Verarmungstypen erfordern eine positive Gatespannung, N-Kanal Verarmungstypen und P-Kanal Anreicherungstypen erfordern eine negative Gatespannung..

Wenn **Pegel** auf 0 gestellt ist, zeigt die Drain-Source Signatur eine horizontale Linie für Sperrverhalten. Wird **Pegel** erhöht (erhöhen der Vorwärts-Vorspannung des Gate-Source Überganges), wird die Leitfähigkeit des Kanals erhöht und eine Signatur wie die des JFET's gezeigt. Wird **Pegel** weiter erhöht, erhöht sich die Leitfähigkeit, bis zur Signatur eines kleinen Widerstandes (fast vertikale Linie).

## Test von Spezialbauteilen

### Test von Optokopplern

Ein Optokoppler besteht aus einer Eingangsdiode und einem elektrisch isolierten Ausgangstransistor (meist ohne angeschlossene Basis).

Die Eingangsdiode kann wie eine konventionelle Diode geprüft werden. Die Signatur des Ausgangstransistors (d.h. eine Kollektor-Emitter-Charakteristik) zeigt entweder eine horizontale Linie (für Leerlauf), oder eine Signatur wie die eines Emitter-Kollektor-Übergangs.

### *Funktionstests von Optokopplern*

Das Leitverhalten der Ausgangstransistors wird durch das von der Eingangsleuchtdiode abgestrahlte Licht gesteuert. Das Licht stimuliert die Erzeugung von Ladungsträgern im Transistor, welche zur Leitfähigkeit führt.

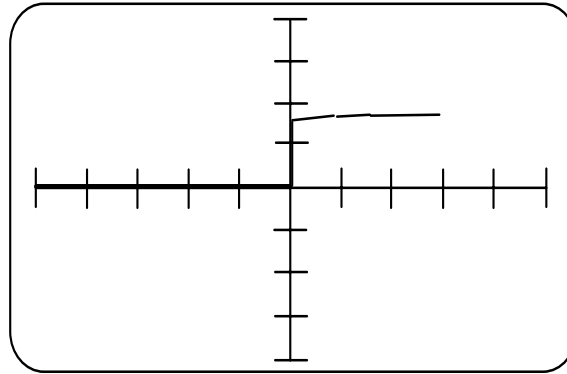
Die Optokoppler-Funktion kann getestet werden, indem die Eingangs-LED vom Pulsgenerator angesteuert und die Signatur des Ausgangstransistors dargestellt wird.

Verbinden Sie den Kollektor des Ausgangstransistors mit Kanal A und den Emitter mit COM. Verbinden Sie die Anode der Eingangs-LED mit einem der Pulsgeneratorausgänge und die Kathode mit COM.

Wählen Sie den **Logic** Bereich, **Low** Frequenz, **Puls1 Pos**. Stellen Sie **Pegel** auf 0.

Die Signatur im rechten Quadranten ist eine horizontale Linie und zeigt damit ein Sperrverhalten. Wird der Pegel erhöht, wird die Leuchtdiode in Vorwärtsrichtung betrieben. Das von der LED abgestrahlte Licht stimuliert die Leitfähigkeit im Ausgangstransistor, was durch eine Signatur wie in Abbildung unten angezeigt wird. Ein weiteres Erhöhen von **Pegel** führt zur Sättigung des Ausgangstransistors, was durch eine fast vertikale Linie im rechten Quadranten nahe der Y-Achse angezeigt wird.

Optokoppler  
Logic Bereich  
Low Frequenz  
DC Pos  
Ausgangstransistor  
Kollektor-Emitter



## Test von Vierpolen

### Test von Thyristoren

Ein Thyristor kann als Diode mit einem zusätzlichen Steuereingang betrachtet werden (einem "Gate").

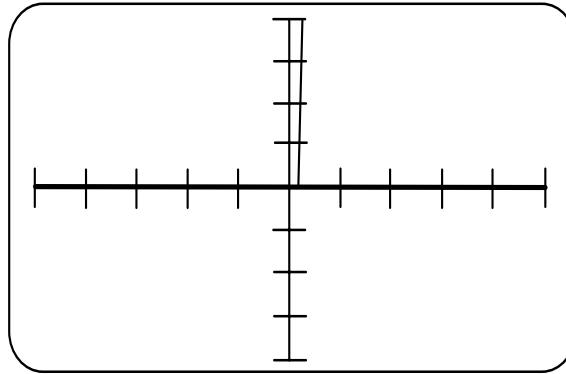
Verbinden Sie die Anode mit Kanal A, Die Kathode mit COM und das Gate mit einem der Pulsgeneratorausgänge.

Wählen Sie den **Logic Bereich**, **Low Frequenz**, **DC Pos**. Stellen Sie **Pegel** auf 0.

Die erzeugte Signatur ist eine horizontale Linie für eine Sperrcharakteristik. Wird **Pegel** erhöht, fließt Gatestrom. Wenn ein bestimmter Wert erreicht wird, zündet der Thyristor, d.h. er geht in den leitenden Zustand über, was durch eine Signatur wie bei einer konventionellen Diode gezeigt wird.

Die Wahl von **Puls2 Pos** zeigt den Thyristor sowohl im Leitbereich als auch im Sperrbereich. Lassen Sie **Pegel** unverändert vom vorigen Schritt und verändern Sie die Pulsbreite mit **Tastverhältnis**. Wenn der Puls HIGH ist, leitet der Thyristor. Ist er LOW, so sperrt der Thyristor. Die Signatur wird in Abbildung unten gezeigt. Die horizontale Linie entspricht der Zeitdauer, in der der Puls LOW ist, die vertikale Linie entspricht der HIGH-Zeit.

Thyristorsignatur



### Test von Triacs

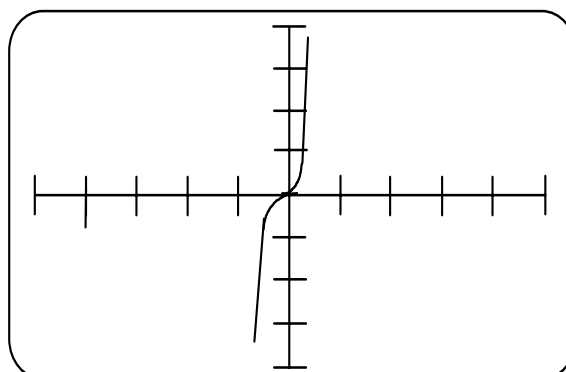
Ein Triac ist ähnlich einem Thyristor, mit der Ausnahme daß er in beiden Richtungen leitet und durch einen positiven oder negativen Gatestrom gezündet werden kann.

Verbinden Sie den Eingang MT2 mit Kanal A, MT1 mit COM, und das Gate mit einem der beiden Pulsgeneratorausgänge.

Wählen Sie den **Low** Bereich, **Low** Frequenz, **DC Pos**. Stellen Sie **Level** auf 0.

Die Signatur ist eine gerade Linie und zeigt damit Sperrverhalten. Wird der Pegel erhöht, fließt ein Gatestrom. Wenn ein bestimmter Wert erreicht wird, zündet der Triac, d.h. er geht in den leitenden Zustand über, was durch eine Signatur wie bei einer konventionellen Diode gezeigt wird. Ein weiteres Erhöhen des Pegels führt dazu, daß der Triac in beiden Richtungen leitfähig wird (Siehe Abbildung unten).

Triac  
**Low** Bereich  
**Low** Frequenz  
**DC Pos**  
MT2 – MT1

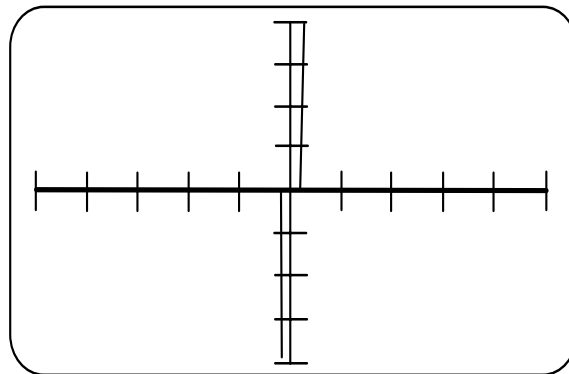


Reduzieren Sie den **Pegel** auf 0 und wählen Sie die negative Polarität. Wiederholen Sie Schritt 3 um ähnliche Signaturen zu erzeugen.

Wählen Sie den PULSE 2 Ausgang um sowohl Leit- als auch Sperrverhalten zu zeigen. Belassen Sie die PegelEinstellung unverändert vom vorigen Schritt und verändern Sie die Pulsbreite mit WIDTH. Wenn die Polspolarität positiv ist, so ist die resultierende Signatur die selbe wie für einen Thyristor. Wenn die Polarität negativ ist, erscheint eine spiegelbildliche Darstellung von eines Thyristors.

Die Wahl von **Puls2 bipolar** führt zum Leiten in beiden Richtungen und zeigt die Signatur wie in Abbildung unten.

*Triac Signatur*



# Test integrierter Schaltkreise mit ASA

## Integrierte Schaltkreise

Für den Test von ICs werden die Bereiche **Logic** und **Junction** sowie die **Low**-Frequenz empfohlen.

Alle integrierten Schaltkreise können durch Überprüfung von Anschlußpaaren getestet werden. Die meisten ICs, die auf diese Weise getestet werden, zeigen Signaturen ähnlich einer Diode oder Zenerdiode.

**Hinweis:** Beachten Sie, daß ICs mit unterschiedlicher Herstellertechnologie auch unterschiedliche Signaturen zeigen. Dies muß berücksichtigt werden, bevor ein Bauteil als defekt diagnostiziert wird.

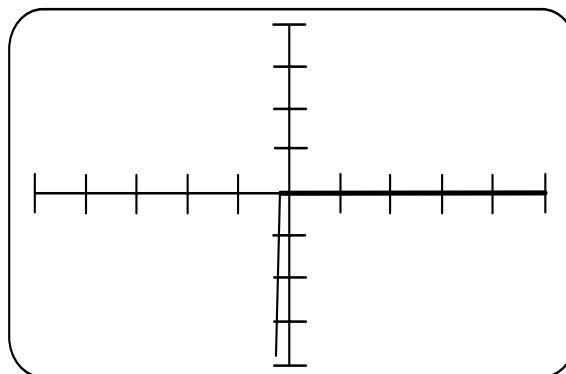
Beim Test von ICs ist es üblich, COM mit dem Masseanschluß des ICs zu verbinden. Alternativ kann auch COM mit dem Anschluß für die Versorgungsspannung angeschlossen werden.

*WICHTIG: Unter Umständen können instabile Signaturen auftreten. (speziell in empfindlichen Bereichen wie **Junction**) Verbinden Sie dann sowohl den Masseanschluß, als auch Vcc mit COM, um den Effekt zu vermeiden.*

## TTL-Signaturen

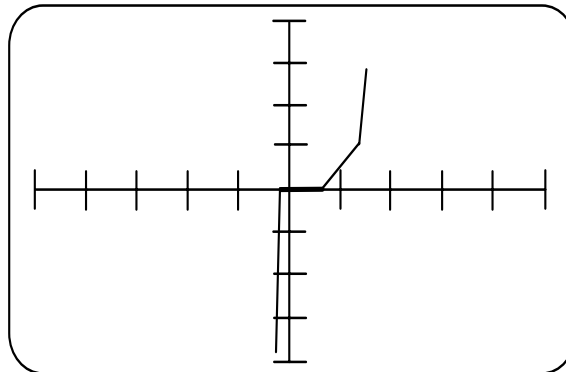
Die folgenden Abbildungen zeigen Signaturen eines 74LS00 ICs.

74LS00  
**Logic** Bereich  
**Low** Frequenz  
Eingang gegen  
Masse



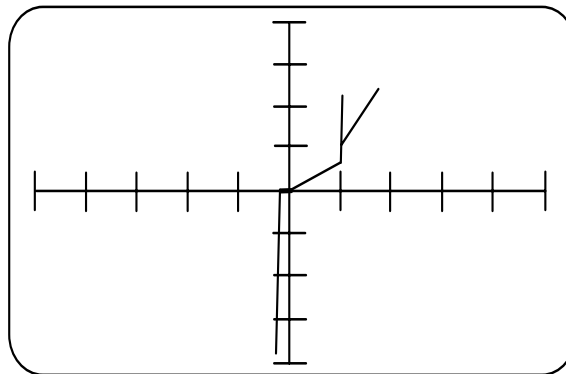
Die Signatur in Abbildung oben wird von den Eingangsschutzdioden dominiert, die mit der Anode über die Schaltungsmasse mit COM verbunden ist

74LS00  
**Logic** Bereich  
**Low** Frequenz  
Vcc gegen Masse



Die Signatur in Abbildung oben zeigt den Effekt eines Netzwerks von Komponenten innerhalb des ICs.

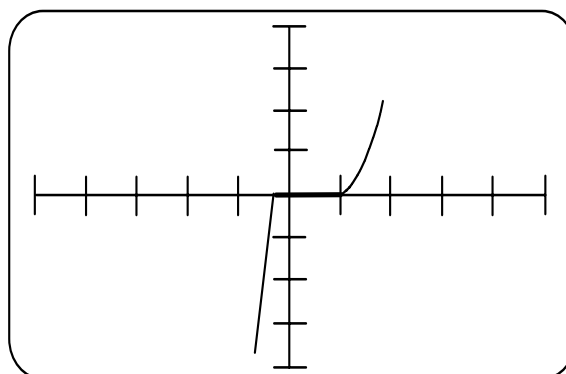
74LS00  
**Logic** Bereich  
**Low** Frequenz  
Ausgang gegen  
Masse



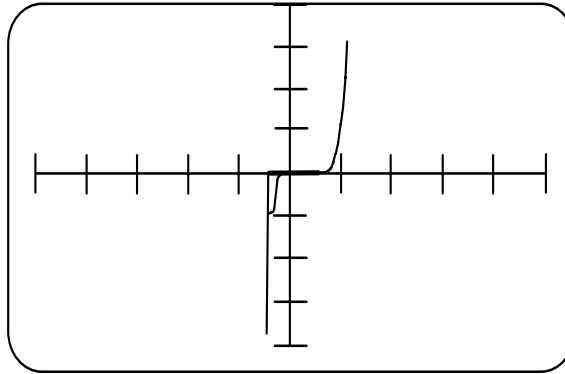
Die Signatur in Abbildung oben ist komplexer, da mehrere Ausgangskomponenten innerhalb des ICs die Form beeinflussen

Die entsprechenden Signaturen für ein HC-Gatter (74HC02) werden in den nachfolgenden Abbildungen gezeigt.

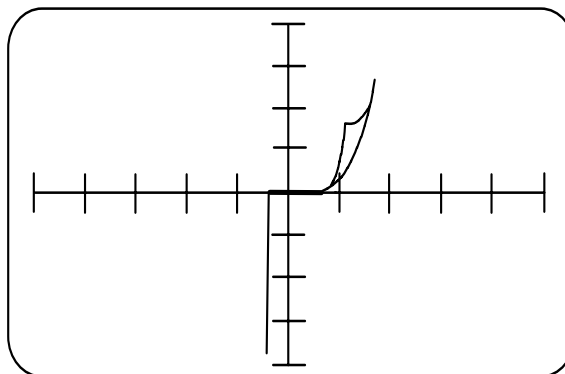
74HC02  
**Logic** Bereich  
**Low** Frequenz  
Vcc gegen Masse



74HC02  
**Logic** Bereich  
**Low** Frequenz  
Eingang gegen  
Masse



74HC02  
**Logic** Bereich  
**Low** Frequenz  
Ausgang gegen  
Masse

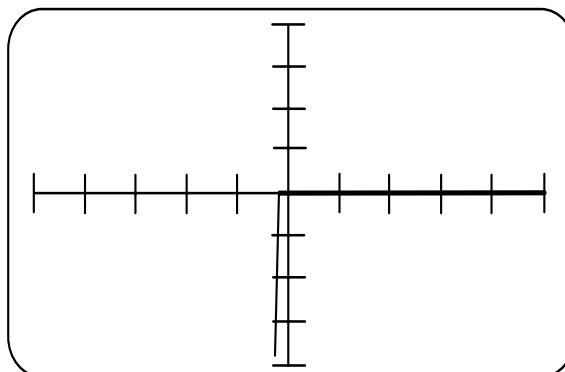


#### **4000-Serie CMOS Bauteile**

Die entsprechenden Signaturen eines 4000-Serie CMOS (4017) Bauteils werden unten gezeigt.

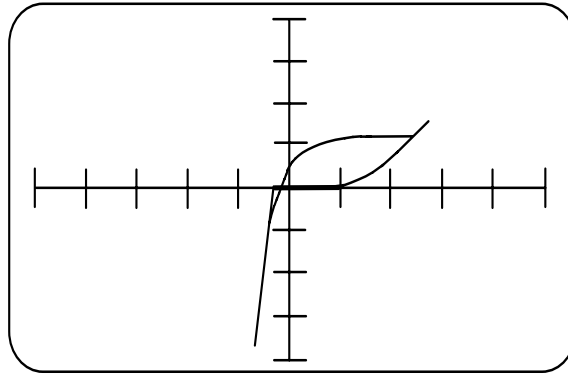
Beachten Sie, daß die Schleifen in der Abbildung unten durch Kapazitäten innerhalb des ICs verursacht werden. Die Wahl der **Med**- oder **High**-Frequenz steigert diesen Effekt. Generell sollte für den IC-Test die Frequenz **Low** verwendet werden.

4017  
**Logic** Bereich  
**Low** Frequenz  
Eingang gegen  
Masse

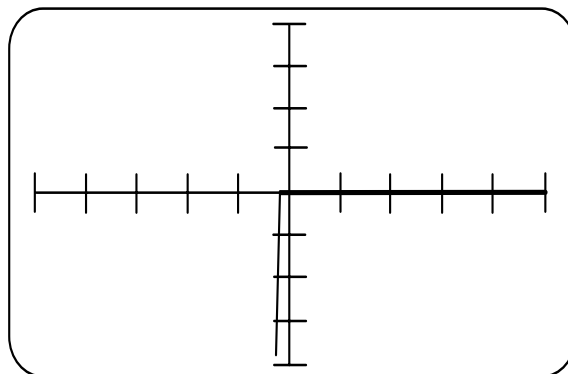




4017  
**Logic Bereich**  
**Low Frequenz**  
Ausgang gegen  
Masse



4017  
**Logic Bereich**  
**Low Frequenz**  
Vcc gegen Masse



## Bauteiltests in der Schaltung

Wenn ein Bauteil in der Schaltung getestet wird, so ist dessen Signatur aus den Signaturen des Bauteils und den parallelgeschalteten Komponenten zusammengesetzt. Dies ist beim Einsatz im Servicebereich fast immer der Fall.

Die charakteristische Signatur ist bei jedem Prüfpunkt einzig für diesen Punkt in der Schaltung. Die Verwendung von Kanal A und B, um die Signaturen einer suspekten Platine und einer guten Platine zu vergleichen, ist der beste Weg, um einen Fehler zu identifizieren.

Ein fehlerhafter Bauteil kann die Signaturen von mehreren angeschlossenen Bauteilen beeinflussen. Der Bediener kann den Fehler eingrenzen, indem an mehreren Punkten in der Schaltung geprüft wird.

## Busbausteine

Wenn eine Anzahl von Bauteilen mit einem gemeinsamen Bus verbunden sind, so können die einzelnen Leitungen auf dem Bus auf Unterschiede überprüft werden.

Leitungen auf dem selben Bus zeigen normalerweise gleiche Signaturen (z.B. alle Datenleitungen sind einander ähnlich). Wenn eine Leitung eine unterschiedliche Signatur zu den anderen Leitungen aufweist, so deutet dies darauf hin, daß ein Baustein auf dem Bus defekt ist.

### *Test von Busbausteinen*

Um den defekten Baustein auf dem Bus zu lokalisieren, gibt es eine Reihe von Methoden:

Wenn Bauteile gesockelt sind, so ziehen Sie einen nach dem anderen heraus, bis die Signatur auf dem Bus einander ähnlich sind.

Jeder Bauteil hat einen oder mehrere Pins, die **nicht** mit dem Bus verbunden sind, z.B. CE - Chip Enable oder OE - Output Enable.

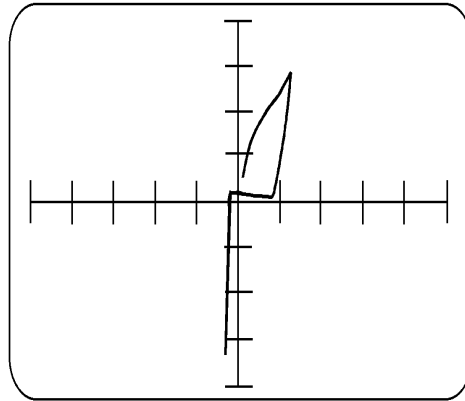
Dies bietet eine Methode, um die ICs individuell zu untersuchen. Anstatt COM mit der Masse oder Vcc des Bausteins zu verbinden, schließt man COM an die defekte Busleitung an.

Prüfen Sie nun die OE- oder CE-Pins jedes einzelnen ICs, und suchen Sie nach der Signatur, welche sich von denen der restlichen ICs unterscheidet.

Wenn keine der oben beschriebenen Methoden zum Ziel führt, so ist es notwendig, die einzelnen Komponenten auszulöten, bis der Fehler behoben ist.

Die Abbildung unten zeigt die Signaturen eines Datenbusses eines Mikroprozessors in der Schaltung.

*Mikroprozessor  
Datenbus in der  
Schaltung*



# ICT Bauteiltest

## PFL780 In Circuit Funktionstest

Der *In Circuit Functional Test* des PFL780 ist ein effizientes Verfahren um defekte Digital-IC's zu lokalisieren. Diese Technik kann auch eingesetzt werden, um die Signaturen und die logischen Funktionen von digitalen integrierten Schaltkreisen zu überprüfen. Der PFL780 beinhaltet eine Datenbank bestehend aus einer großen Zahl von Digital-Baustein-Modellen die mit den fehlerhaften IC's verglichen werden.

Der PFL780 ermöglicht dem Anwender die Durchführung von einzelnen als auch von kontinuierlichen ICT Tests an allen in der PFL Datenbank vorhandenen Bauteilen. Wenn die Bausteintype nicht bekannt ist, sucht der PFL780 in der Datenbank nach vergleichbaren IC's und zeigt eine Liste von Ersatztypen an.

Mittels der PFL780 Programmierumgebung kann der Benutzer sehr einfach und effektiv Testprogramme durch Einbindung beider Fehlersuchtechniken, ASA und ICT, erstellen.

## Bauteiltest mit ICT

Die ICT-Technik ist ein anerkanntes und weitverbreitetes Verfahren, um elektronische Baugruppen mit Digital-IC's zu testen und zu reparieren.

ICT ist eine Bauteiltestmethode welche einen Test der logischen Funktionen des Bauteils durchführt. ICT überprüft, ob die logischen Funktionen von digitalen integrierten Bausteinen mit den typenspezifischen Parametern übereinstimmen. Während eines ICT legt der PFL780 Testmuster an die Eingänge eines Bausteins und überwacht das korrekte Verhalten an den Ausgängen.

Mittels ICT kann eine große Zahl von logischen Bauelementen geprüft werden. So kann z.B. der PFL780 mit ICT ein logisches Gatter auf Übereinstimmung mit der Wahrheitstabelle prüfen oder einen Zählerbaustein durch eine definierte Anzahl von Impulsen testen.

ICT kann selbst sehr komplexe Bausteine testen - der PFL780 kann z.B. einen komplexen Speicherbaustein wie

ein VLSI RAM prüfen indem jede Speicherstelle beschrieben, gelesen und verglichen wird.

ICT kann auch verwendet werden um zu prüfen, ob programmierbare Bausteine wie z.B. ROM's oder EPROM's korrekt programmiert wurden oder ob programmierbare Interfaces korrekt auf Steuerbefehle reagieren.

Beim ICT speichert der PFL780 speichert das Verhalten eines Bausteins auf einem Gut-Board und wendet das gespeicherte Verhalten auf den gleichen Bauteil auf dem Defekt-Board an. Testergebnisse können als einfache PASS/FAIL-Antwort oder als Verbindungsschema und Logikdiagramm dargestellt werden, um auch subtilere Fehler untersuchen zu können.

Beim Test von Bausteinen außerhalb der Schaltung muß der Anwender lediglich einen Testclip an den Bauteil anklemmen und die Bauteiltype - sofern bekannt - spezifizieren. Während eines ICT legt der PFL780 automatisch die Versorgungsspannung an den Bauteil an und vergleicht die logischen Funktionen des Bausteins mit dem korrespondierenden idealen Baustein aus der PFL780 Bauteilbibliothek. Jedes Bauteilprogramm in der Bibliothek besteht aus einer Sequenz von Testmustern die den Baustein initialisieren, die Eingänge treiben und die Ausgänge auf entsprechendes Verhalten überprüfen.

Nach dem Test können die logischen Operationen des Bauteils (z.B. die Zusammenhänge zwischen Eingängen, Clocksignalen, Steuersignalen und Ausgängen) in Diagrammform betrachtet und mit dem „idealen“ Baustein in der Bibliothek verglichen werden. Unterschiede zwischen den Testobjekt und dem Bauteil in der Datenbank werden Rot markiert.

### **Test von Bausteinen in der Schaltung**

In einigen Fällen verhält sich der IC im eingebauten Zustand gleich wie im ausgelöteten Zustand und der Benutzer muß nur den Testclip aufsetzen und die Bauteiltype angeben.

Generell muß der PFL780 jedoch zuerst einlernen wie sich der Baustein auf einem Gut-Board verhält. Während des Lern-Vorganges wird das Verhalten des im Gut-Board eingebauten IC's mit dem Standard-Verhalten verglichen und die Unterschiede aufgezeichnet.

Die aufgezeichneten Signaturen werden dann während des Testvorganges als Referenz verwendet, um suspekta Bauteile auf dem Defekt-Board zu überprüfen.

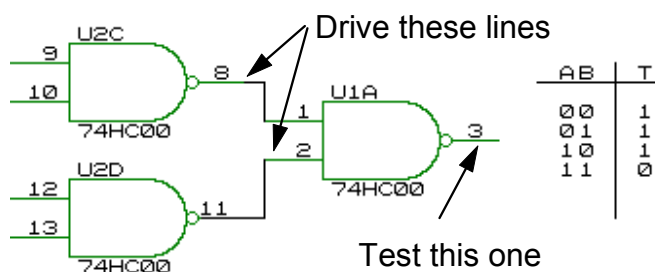
Um die Abweichungen der Signaturformen zwischen verschiedenen Herstellern zu berücksichtigen, ermöglicht der PFL Signatursätze unter verschiedenen Herstellern abzuspeichern. Bauteilsignaturen werden dann mit mehreren Referenzsignaturätzen verglichen.

### Backdriving

Um einen Digitalbaustein vollständig zu testen, muß ein Testprogramm das Verhalten des IC's bei allen möglichen Signalkombinationen an den Eingängen überprüfen. Das PFL780 Testsystem beinhaltet zu diesem Zweck Schaltkreise, welche als Stromquelle und Stromsenke dienen und ausreichend Strom liefern bzw. aufnehmen um die logischen Zustände an jedem Pin des Bausteins zu überfahren und in einen definierten Zustand - *unabhängig von den logischen Zuständen vorgelagerter Gatter* - zu erzwingen. Dieses Verfahren wird oft als Backdriving bezeichnet.

*Backdriving* ist die primäre Technik bei der Anwendung des Digital-In-Circuit-Tests. Um einen *vollständigen* logischen Test an digitalen integrierten Bausteinen durchzuführen, ist es erforderlich, die Eingänge eines Bauteils in *alle* möglichen Zustandskombinationen zu bringen. Das Treiben der *Eingänge* eines Bauteils bedeutet jedoch oft auch Backdriving der *Ausgänge* von (Einspeisen oder Aufnehmen von Strömen an den Ausgängen) Bauteilen welche mit dem zu testenden Bauteil verbunden sind.

Die folgende Abbildung zeigt eine typische Schaltungskonfiguration - der PFL780 treibt die Eingänge von U1 und testet die Ausgänge auf korrektes Verhalten (wie in der Wahrheitstabelle angezeigt). Der PFL780 muß nun ausreichend Strom einspeisen oder aufnehmen um die logischen Zustände an den Ausgängen von U2 zu überfahren und die Eingänge von U1 in alle möglichen Eingangskombinationen zu treiben.



Backdriving von vorgelagerten Gattern

Der PFL780 ist in der Lage, Ströme bis zu 500mA durch die Testclips einzuspeisen oder aufzunehmen um an den

Eingängen eine Logikbausteins definierte Zustände zu erzwingen. Der Backdriving-Strom zwingt die Ausgänge von vorgelagerten Gattern in den Logisch-HIGH oder LOW-Zustand, *unabhängig von ihrem Ruhezustand*.

Um die abgegebene Leistung an den vorgelagerten Gattern zu begrenzen, führt der PFL780 den kompletten Test innerhalb von 16 Millisekunden durch.

Damit entspricht der PFL780-ICT allen international anerkannten Backdriving-Spezifikationen.

## Die PFL780 Bauteilbibliothek

Die PFL780 Software beinhaltet eine umfangreiche Datenbank von digitalen integrierten Schaltkreisen welche generell in der gesamten Elektronikindustrie Verwendung finden.

Die Bibliothek besteht aus Funktions- und Pinzuordnungen zu den meistverwendetsten Digital-IC's:

TTL-Bausteine - 74 und 75 Serie

4000-Serie CMOS-Bausteine

Mikroprozessoren und Mikrocontroller

Mikroprozessor-Interfacebausteine

Speicherbausteine

Programmierbare Logikbausteine

## Ict Test von Digital-IC's

**Achtung: Es ist wichtig, daß das Instrument mit keinem Anschluß an Punkten mit Spannungen außerhalb des Bereichs von 0 bis +5V in Berührung kommt. Andernfalls ist eine Beschädigung der ICT Treiber-/Sensorschaltung äußerst wahrscheinlich !**

Vor dem Bauteiltest- sowohl in der Schaltung als auch außerhalb - ist es notwendig, auf gute Kontaktierung zwischen den Testclips und dem Bauteil zu achten. Falls erforderlich den Bauteil von Verschmutzung, Flussmittelrückständen, Korrosion, etc. befreien.

Setzen Sie den Clip auf den zu testenden Bauteil auf - die braune Leitung des Flachbandkabels muß dabei auf Pin 1 des Bausteins zu liegen kommen. Alternativ zu den Testclips können Sie auch den Nullkraft-Sockel-Adapter ACC145 verwenden.

## Der ICT unter Versorgungsspannung

Das Einlernen und Testen von Bauteilen im eingebauten Zustand erfolgt in zwei Stufen - der Verbindungstest und der logische Funktionstest.

Der PFL780 führt zuerst einen Verbindungstest durch, wobei der Status jedes einzelnen Pin´s geprüft wird, d.h. welche Pin´s permanent HIGH oder LOW-Zustände aufweisen bzw. ob Verbindungen zwischen Pin´s des selben IC´s bestehen. Dann stimuliert der PFL780 die Eingänge des Bauteils und überwacht die Ausgänge um deren logisches Verhalten zu prüfen.

### Der Verbindungstest

Während der ersten Phase des Bauteiltests erfolgt der Verbindungstest, welcher den Status der Pin´s prüft.

Der **PFL780** notiert die Pin´s welche permanent auf logisch HIGH oder LOW liegen (z.B. Spannungsversorgung und Masseanschlüsse). Der **PFL780** zeichnet weiters Verbindungen zwischen Pin´s auf. Das Ergebnis dieses Verbindungstests wird im Pin-Verbindungsdiagramm dargestellt. Das Diagramm zeigt die Pinnummer sowie den Status jedes Pins mit seiner Signalfunktion, Stuck Pins (Vcc und Massepins werden normalerweise als Stuck High und Stuck Low Pins gezeigt) sowie Verbindungen zwischen Pins.

### Der Funktionstest

Die zweite Testphase besteht aus dem Funktionstest.

Während des Funktionstests prüft der PFL780 den Bauteil auf korrektes logisches Verhalten. Der PFL780 ladet das Testprogramm für den Bauteil aus der Bibliothek, treibt alle Eingänge und überwacht die Ausgänge des IC´s. Das Ergebnis dieses Funktionstests wird im ICT-Fenster als Logikdiagramm dargestellt.

### Kontrolle der Testbedingungen

Sollen digitale ICs auf ihre Funktion hin getestet werden, so muß sichergestellt werden, daß die Bauteilfunktion vorhersagbar und wiederholbar ist:

Die zu testenden Bauteile müssen initialisiert werden können, d.h. in einen bekannten Zustand gebracht werden können



Es muß sichergestellt werden können, daß andere Bauteile auf das Testergebnis keinen Einfluß nehmen können, d.h. der Bauteil muß weitestgehend isoliert werden.

Andere Signale (z.B. Taktsignale) sollten das Testergebnis nicht beeinflussen können.

Hinweis: Wenn mittels ICT ein Bauteil getestet wird, sollte die Kabellänge minimiert bzw. eventuell parallelgeschaltete Clips (z.B. mittels ACC137) entfernt werden. Siehe Anwendungshinweise.

### **Das Logikdiagramm**

Das Logikdiagramm zeigt den Status jedes Pin's bei jedem Testschritt im Bauteil-Prüfprogramm. Die Stimuli-Signale an den Bauteileingängen und die resultierenden logischen Pegel an den Ausgängen werden für jeden Schritt im Prüfprogramm angezeigt. Die Pegel werden als HIGH, LOW, TRISTATE (strichlierte Linie auf halber Höhe zwischen HIGH und LOW) oder DON'T CARE (die schraffierten Bereiche) dargestellt.

Die Referenzsignale werden als grüne Signalformen auf dem PFL780 Display gezeigt. Pins welche sich korrekt verhalten, werden in Grün dargestellt, Pins mit fehlerhaftem Verhalten werden zur einfachen Identifikation in Rot dargestellt.

Die Pinnummern des Bauteils werden auf der linken Seite des Logik-Diagramms dargestellt. Die Prüfschritte des Bauteiltests werden über dem Logik-Diagramm dargestellt. Beinhaltet der Test eine große Anzahl von Testschritten, so können mit den linken und rechten Cursortaste sämtliche Testschritte betrachtet werden. Mit <ESC> gelangen Sie zum Hauptschirm.

Benutzen Sie die Maus um auf der Laufleiste die Signalformen der weiteren Pins zu

### **Logikpegel im Logikdiagramm**

Die Logikpegel im Logikdiagramm werden als LOW (0V) und HIGH (5V) dargestellt. Ein schraffierter Bereich repräsentiert einen „Don't care“ Zustand; horizontale strichlierte Linien bei 2.5V- Pegel weisen auf einen Tristate-Ausgang hin. (hochohmig)

Hinweis: Der 2.5V "Mid-level" kann sowohl an *Eingängen als auch an Ausgängen* auftreten. Ein Mid-level kann korrekt sein, wenn der Ausgang einen Leerlauf aufweisen soll. (Tristate)

Ein Mid-Level Eingang weist auf ein mögliches Problem des Bauteils oder des Tests hin.

## Speichern und Testen digitaler IC's

Wenn ein Baustein getestet wird, ladet der PFL780 das Prüfprogramm aus der PFL780 Bauteilbibliothek und vergleicht das Verhalten des Bauteils mit dem erwarteten Verhalten in der Bibliothek.

Wenn ein Bauteil im eingelöteten Zustand getestet werden soll, so wird zuerst mit dem PFL780 eingelernt, wie sich der Bauteil im eingebauten Zustand auf dem Gut-Board verhält.

Während dieses Lern-Prozesses wird das Verhaltensmuster des IC's auf dem zu testenden Board geprüft und mit dem Standard-Bauteilverhalten verglichen, wobei eventuelle Unterschiede in einem Prüfprogramm gespeichert werden. Auf diese Weise können Bauteile auch dann erfolgreich getestet werden, wenn Pins nicht angeschlossen sind, Pins miteinander verbunden sind, Pins auf Masse oder Vcc gelegt sind etc.

Das Testprogramm wird dann während des Testvorganges auf defekten Boards als Referenz verwendet. Das Bauteilverhalten auf defekten Boards wird dann mit dem gespeicherten Verhalten verglichen und - wenn Übereinstimmung besteht - eine PASS-Meldung ausgegeben.

Der PFL780 ermöglicht somit selbst programmierbare Bauteile wie z.B. EPROM's oder PAL's in ihrer fertigen Konfiguration zu lernen und zu testen. Das Einlernen von Bauteilen ist Teil des Programmiervorgangs.

### ***Vermeidung von Problemen durch Instabilitäten***

Verwenden Sie die mitgelieferten Kabel um das zu testende Board vom PFL780 zu versorgen - Kabel mit geringerem Querschnitt können größeren Spannungsabfall verursachen (besonders bei größeren Strömen) und können un stabile oder unzuverlässige Ergebnisse verursachen.

Halten Sie die Anschlußleitungen so kurz wie möglich - Sie vermeiden damit Unstabilitäten.

Auf manchen Baugruppen können schmale Leiterbahnen zur Stromversorgung Stabilitätsprobleme verursachen. Versuchen Sie in diesem Fall die Versorgung möglichst nahe an den zu testenden Bauteil zu legen. Siehe *Anwendungshinweise* am Ende dieses Abschnitts.

Wurden die Referenzsignaturen des Bauteils gespeichert, so verschwindet das Warndreieck neben der Bezeichnung und Referenznummer in der Bauteilliste.

## Test des Bausteins

Wird der Bauteil getestet, so zeigt der PFL780 das Ergebnis als PASS/FAIL-Anzeige zusammen mit einem Pinzuordnungsdiagramm und alle Stuck Pins sowie erwartete und unerwartete Verbindungen. Weiters zeigt ein logisches Zustandsdiagramm die Pinzustände des Bauteils zu jedem Testzeitpunkt .

Der PFL780 ruft das gelernte Testprogramm auf und führt den Test durch. Das Ergebnis des Tests, PASS oder FAIL wird zusammen mit den ICT-Testergebnissen, d.h. Verbindungstest sowie die Ergebnisse des Funktionstests.

### Das Verbindungsdiagramm

Das Verbindungsdiagramm zeigt die Nummer jedes Pins mit seiner zugeordneten Signalfunktion. (z.B. CLK, Vcc, GND etc.), Stuck Pins sowie Verbindungen.

Es werden drei Arten von Verbindungen erkannt und im ICT-Fenster angezeigt:

**Bestätigte Verbindungen** — Bestätigte Verbindungen betreffen Pins, *welche sowohl auf dem Referenzboard als auch auf dem Prüfling* miteinander verbunden sind. Sie werden grün dargestellt.

**Fehlende Verbindungen** — Fehlende Verbindungen betreffen Pins, *welche auf dem Referenzboard miteinander verbunden sind, auf dem Prüfling jedoch unterbrochen*. Fehlende Verbindungen werden mit einer strichlierten Linie gekennzeichnet.

**Unerwartete Verbindungen** — Unerwartete Verbindungen betreffen Pins, *welche auf dem Prüfling verbunden sind, auf dem Referenzboard jedoch nicht*. Unerwartete Verbindungen werden rot dargestellt.

### Stuck pins

Anschlüsse, die während des Tests auf einem fixen Logikpegel verharren, werden als Stuck Pins wie folgt dargestellt:

**Bestätigte Stuck Pins** - Diese Pins liegen *sowohl auf der Referenzplatine als auch auf der Testplatine auf einem fixen Logikpegel* und werden durch eine grüne Verbindung zu Vcc und GND dargestellt.

**Fehlende Stuck Pins** - Diese Anschlüsse sind *auf der Referenzplatine fix auf Low oder High gelegt, können auf dem Prüfling aber in ihrem logischen Zustand verändert* werden. Fehlende Stuck Pins werden auf dem

Referenzbauteil angezeigt, fehlen jedoch in der Darstellung des Prüflings.

*Unerwartete Stuck Pins - Pins, die auf dem Prüfling auf einem fixen Logikpegel verharren, obwohl sie auf der Referenzplatine nicht fix mit Vcc oder GND verbunden sind.*

## Anwendungshinweise

Wenn ein eigenartiger Fehler auf einem IC auftritt, prüfen Sie auch andere IC's - der Fehler kann auch durch umliegende IC's verursacht werden.

### **Loop until Pass bei instabilen ICT-Ergebnissen**

In einigen Schaltungskonfigurationen kann es sein, daß der Baustein nicht vollständig von Einflüssen der umliegenden Bauteile isoliert werden kann. In diesem Fall wird der Einsatz der **Loop until Pass** Funktion empfohlen.

### **Initialisierung von Bauteilen**

Um einen zuverlässigen Test an einem Bauteil durchzuführen, muß das System in der Lage sein, den Baustein zu initialisieren- ihn in einen bekannten Zustand zu versetzen.

Wenn ein Bauteil nicht initialisiert werden kann, so ist auch das Testergebnis nicht vorhersagbar:

Wenn z.B. die RESET-Leitung eines Zählers auf ein fixes Potential gelegt wurde, ist der PFL780 nicht in der Lage den Baustein korrekt zu initialisieren.

Einige Mikroprozessoren beinhalten interne freilaufende Oszillatoren, welche nicht beeinflußt werden können.

## Isolieren von Bauteilen in der Schaltung

### **Busverbundene (tristate) Bausteine**

In vielen Schaltungen (z.B. prozessorbasierenden Schaltungen) übertragen Bauteile Daten oder Steuersignale über gemeinsame Busleitungen (Gruppen von Adress-, Daten- oder Steuerleitungen). Normalerweise bestimmt der Mikroprozessor, welche Bausteine Senden und welche Bausteine empfangen indem er deren Adress- und Steuerleitungen bedient.

In einem Bussystem ist die Gruppe von Verbindungsleitungen an allen Bausteinen auf dem Bus zugänglich. Die Busschaltungen sind daher so aufgebaut, daß jeweils nur ein Baustein Daten auf den Bus schreibt.

Alle Bausteine auf einem Bussystem welche Daten auf den Bus schreiben können, müssen daher zu den normalen High und Low-Pegeln noch einen zusätzlichen „Open“-Zustand annehmen können. Bausteine auf einem Bussystem beinhalten daher die Möglichkeit, Ihre Ausgänge sowohl in einen „Open Circuit“-Zustand als auch in die normalen High und Low-Zustände zu versetzen.

Diese *Tristate*-Bauteile verwenden einen *Enable*-Eingang, welcher steuert, ob sich der Bauteil auf dem Bus wie ein normaler Logikbaustein oder als Leerlauf verhält.

Der Enable-Eingang ist oft (auch indirekt) mit einer der Steuerleitungen des Mikroprozessors verbunden. Dieses Enable-Signal ist üblicherweise Aktiv-Low , d.h. ein logisches Low am Enable-Eingang ermöglicht dem Baustein einen logischen High oder Low Zustand an den Ausgängen herzustellen.

*Hinweis: Das Entfernen der CPU aus einem Prozessorsystem erlaubt, daß die Device-Enable-Pins einen Logisch-High-Zustand annehmen was zur Folge hat daß die Bausteine voneinander isoliert sind und Buskonflikte vermieden werden.*

Wenn ein Busbaustein deaktiviert (disabled) wird, so stellen die Ausgänge dieses Bausteins Unterbrechungen dar - der Baustein ist daher vom Bus getrennt. Selektives Bauteil-Deaktivieren ermöglicht daher, daß nur der zu testende Baustein den Bus treibt.

### **Deaktivieren von Busbausteinen**

In einer typischen prozessorbasierenden Schaltung können die Bus-Ausgangsleitungen des Prozessors nur begrenzte Ströme liefern. Dies bedeutet, daß der Prozessor direkt nur eine kleine Anzahl von Bauteilen treiben kann, da ansonsten die Ausgänge überlastet werden.

Entwickler isolieren daher normalerweise den Prozessor vom Rest der Schaltung durch *Puffer*. Puffer nehmen Daten vom Prozessor auf und können die erforderlichen höheren Ströme zum Treiben der Buskapazitäten und der Bauteile liefern.

*Hinweis: Deaktivieren von Pufferbausteinen erweist sich oft als effektives Mittel um Bausteine vom Bus zu isolieren.*

### **Anwendung von Guardspannungen**

In vielen Fällen ist es nicht möglich, Bausteine zu entfernen oder zu deaktivieren.

Der PFL780 stellt daher logische High und Low Guard-Spannungen (+5V und 0V) an der Frontplatte zur Verfügung, damit der Anwender Bauteile in der Umgebung des zu

testenden Bausteins deaktivieren kann. Der Baustein kann dann isoliert getestet werden, ohne ihn aus der Schaltung zu entfernen.

Wenn es nicht z.B. nicht praktikabel ist, den Prozessor zu entfernen oder die Buspuffer zu deaktivieren, ist es vielleicht möglich, Busbausteine zu deaktivieren indem eine Guard-Spannung an RESET-, HOLD- oder DMS Request- (oder äquivalente) Leitungen der CPU gelegt wird.

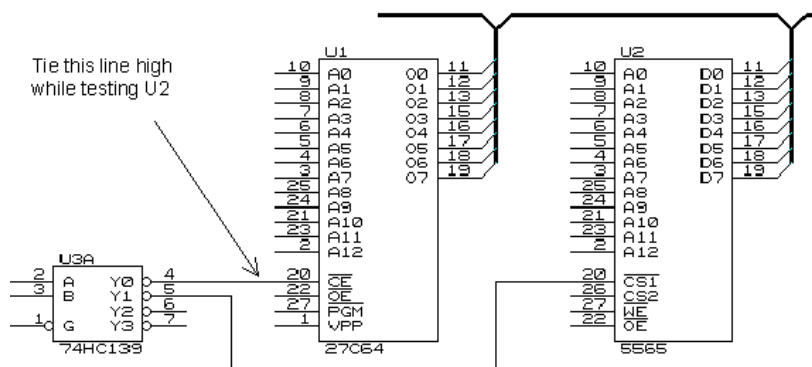
Viele Bauteilarten verwenden Aktiv-Low  $\overline{\text{CHIP ENABLE}}$  oder  $\overline{\text{OUTPUT ENABLE}}$  - Leitungen - ein Logisch-High an diesen Leitungen versetzt die Ausgänge in einen hochohmigen Zustand was faktisch einem Leerlauf entspricht. Wenn viele Bauteile an einem Bus liegen, ist es eventuell notwendig, Guard-Spannungen an mehrere Bauteile anzulegen um sicherzustellen, daß der zu testende Bauteil effektiv vom Bus isoliert ist.

Wenn ein Busbaustein getestet werden soll, kann eine vollständige Isolation dadurch erreicht werden, indem ein Guard-Spannung an die Enable-Eingänge aller Busbausteine angelegt wird (und so die Ausgänge in einen hochohmigen Zustand versetzt).

Wenn Guard-Spannungen an undokumentierte Boards angelegt werden, sind eventuell einige Versuche nötig, bis stabile Ergebnisse erreicht werden.

Beachten Sie, daß die Guard-Spannungen während der gesamten Testzeit auf Low und High bleiben.

In Abbildung unten ist U2 der zu testende Baustein, an den  $\overline{\text{CHIP ENABLE}}$  -Eingang von U1 wird die Guard-Spannung angelegt. Die Ausgänge von U1 sind hochohmig.



Isolieren eines Bauteils mittels Guard-Spannungen

### ***Deaktivieren von Speicherbausteinen***

Speicherbausteine (RAM oder ROM) können deaktiviert werden, indem Guard-Spannungen an die Chip-Enable-Leitungen in der Adreßdekodierung angelegt werden (meist werden größere Speicherbereiche mittels einer einzelnen Leitung deaktiviert).

Der PFL780 legt Guard-Spannungen an ausgewählte Bauteile während des Tests an um die Ausgänge zu deaktivieren und *Buskollisionen* zu vermeiden.

Buskollisionen entstehen, wenn mehr als ein Bauteil versucht, gleichzeitig Daten auf den Bus zu legen.

Wenn Sie Guard-Spannungen anlegen, stellen Sie sicher daß diese nicht (auch nicht indirekt) mit dem zu testenden Baustein verbunden sind.

### ***Deaktivieren von Taktsignalen***

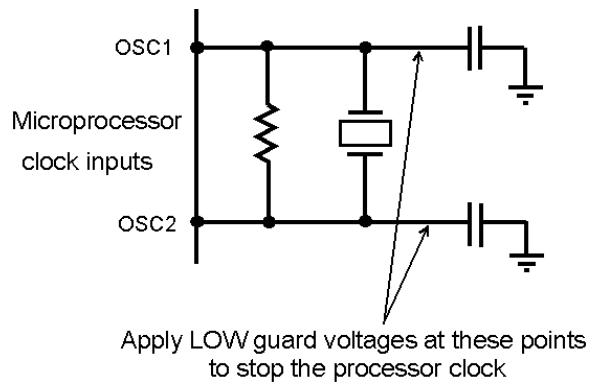
Taktschaltungen und Oszillatoren erzeugen Signale, die an einzelnen Eingängen der zu testenden ICs anliegen können; diese müssen während des Tests abgeschaltet werden. Ein wechselndes Signal am Eingang des Prüflings kann das Testergebnis störend beeinflussen.

Taktsignale werden oft mittels Flip-Flops in der Frequenz geteilt oder einfach gepuffert. Meist kann das Signal am Durchlauf der Flip-Flops gehindert werden, indem eine Guard-Spannung am Clock Enable-Eingang oder an die SET/RESET-Eingänge gelegt wird. Deaktivieren Sie, sofern möglich, alle Taktschaltungen und Oszillatoren auf der Platine.

*Hinweis: Meist bewirkt das Entfernen der CPU aus einer Prozessorplatine das Entfernen vieler Taktsignale.*

Ein übliche Anwendung von Guard-Spannungen wird in folgender Abbildung gezeigt. Die Schaltung in der Abbildung ist typisch für viele Mikroprozessor-Taktschaltungen.

Das Anlegen von LOW Guard-Spannungen am Quarz deaktiviert den Oszillatorschaltkreis und damit auch den Mikroprozessor.



Anwendung von Guard-Spannungen zum Deaktivieren einer typischen Mikroprozessor-Taktschaltung.

Hinweis: Verwenden Sie die mitgelieferten Kabel um das zu testende Board vom PFL780 zu versorgen - Kabel mit geringerem Querschnitt können größeren Spannungsabfall verursachen (besonders bei größeren Strömen) und können instabile oder unzuverlässige Ergebnisse verursachen.

Halten Sie die Anschlußleitungen so kurz wie möglich - Sie vermeiden damit Instabilitäten.

Auf manchen Baugruppen können schmale Leiterbahnen zur Stromversorgung Stabilitätsprobleme verursachen. Versuchen Sie in diesem Fall die Versorgung möglichst nahe an den zu testenden Bauteil zu legen.

### **Die Pre-Charge Funktion**

Die **Pre-Charge**-Funktion steuert die Verzögerung vor jedem Testschritt während des ICT-Tests.

Die Standardeinstellung von  $0\mu\text{S}$  ist für die meisten Anwendungen passend.

*Hinweis: Die Step Rate kann reduziert werden um Laufzeitunterschiede auszugleichen und die Stabilität bei sehr schnellen Schaltkreisen zu verbessern. Möglicherweise sind einige Versuche nötig um den optimalen Wert zu finden. Beachten Sie, daß die ICT Testzeit nur dann garantiert unter 16mS liegt, wenn **Pre Charge** auf  $0\mu\text{s}$  gesetzt ist.*



# Schreiben von Testprogrammen

## Das Programmfenster

Wird die PFL Software gestartet, so zeigt der PFL das **Quickstart**-Dialogfenster in welchem der Anwender wählen kann, eine neue Baugruppe einzulernen, ein bereits vorhandenes Prüfprogramm (aus der gezeigten Liste) zu laden, **Livedarstellung** oder **Quicktest** zu starten. (Das Quickstart-Dialogfenster kann in **Konfiguration-Hinweise** deaktiviert werden - der PFL ladet dann das zuletzt verwendete Programm oder ein leeres Programm mit Namen **Untitled** falls noch keine Testprogramme geschrieben wurden).

*Das Kopieren von bestehenden Testprogrammen ist oft eine rasche Methode um ein neues Testprogramm zu erzeugen.*

Das PFL Programmfenster bietet eine graphische Umgebung für das Erstellen, Modifizieren und Löschen von Programmen, um eine große Palette an Bauteilen zu testen.

In den meisten Fällen wählt der Programmierer die Bauteile aus einer umfangreichen Bauteilbibliothek wobei der PFL vielfältige Einstellmöglichkeiten in Bezug auf Testarten und Parameter bietet.

Signaturen von Gutmustern können als Referenz gespeichert und betrachtet werden. Die Signaturen des Prüflings können sortiert und in absteigender Fehlergröße angezeigt werden.

Zusätzlich können Signatursätze verschiedener Hersteller als Referenz gespeichert werden. Somit können Abweichungen verursacht durch verschiedene Hersteller berücksichtigt werden.

## Sichern von Testprogrammen

Testprogramme werden als .PFL Dateien im Ordner **Programme\Polar\Pfl** gespeichert. Der Anwender kann weitere Ordner erstellen um zusammengehörige Programme zusammenzufassen. *Es wird dringend empfohlen, Testprogramme regelmäßig z.B. auf Diskette zu sichern.*

## Arbeiten mit Testprogrammen

Ein Testprogramm besteht aus einer Liste von Bauteilen und zugeordneten Testbedingungen, wobei jedes Programm üblicherweise die Bauteile einer kompletten Platine oder Moduls enthält. Aus Gründen der Übersichtlichkeit sollte die Anzahl der Bauteile pro Testprogramm limitiert werden.

### *Laden eines Testprogrammes*

Um ein bestehendes Programm zu laden, wählen Sie **Öffnen** aus dem **Datei**-Menü oder klicken Sie die Schaltfläche **Öffnen**. — es erscheint das **Öffnen**-Dialogfenster mit einer Liste der Programme im Ordner.

Markieren Sie das gewünschte Programm oder geben Sie den Namen in das **Dateiname**-Feld ein. Klicken Sie dann **Öffnen** oder drücken Sie <Enter>.

## Erzeugen eines neuen Testprogramms

Wählen Sie **Neu** aus dem **Datei**-Menü — der PFL öffnet ein Fenster mit einer neuen Testliste.

Die Bauteilliste besteht aus zwei Abschnitten:

Die Testliste

Das Ergebnisfenster mit **ASA, ICT, ASA Verbindungen** oder **ICT Verbindungen** (nicht alle Bauteile zeigen alle drei Registerkarten; einige Bauteile werden z.B. nur mit ASA getestet)

### Hinzufügen von Bauteilen in die Testliste

Bauteile können an jeder Stelle in der Liste eingefügt werden — **Einfügen** fügt einen Baustein vor dem markierten Teil ein.

### *Einfügen eines Bauteils*

Wählen Sie **Einfügen** aus dem **Bauteil** Menü (oder drücken Sie die <Einf> Taste) — es erscheint die **Bauteil einfügen** Dialogbox:



Geben Sie die Bauteiltype in das **Type** Feld ein - wird der Bauteil nicht durch das System erkannt, so wird der Benutzer aufgefordert, die Detailinformationen einzugeben — der PFL zeigt das Dialogfenster **Eingabe der Bauteilinformationen...**

*Wird die Quad Flat Pack (QFP) Gehäusebauform gewählt, spezifizieren Sie die Pinanzahl durch die Width, Height und Pin One-Felder*

Geben Sie die Bauteilbeschreibung sowie Pinanzahl ein und drücken Sie **OK**. Wird der Teil öfter verwendet, so verwenden Sie **DevLib** um ihn zur Bibliothek hinzuzufügen. Geben Sie die Referenzbezeichnung in das **Ref:** Feld ein.

Identifiziert der PFL mehr als eine Möglichkeit für die eingegebene Type, so zeigt er eine Liste mit einer Auswahl.

Geben Sie im **mittels:** Feld ein, wie der Bauteil getestet werden soll — in den meisten Fällen werden DIP Testclips verwendet, es kann daher die Standardeinstellung **Library** verwendet werden. Ist jedoch der Bauteil schlecht zugänglich bzw. in einem speziellen Gehäuse, so ist es nötig, eine andere Prüfspitze zu wählen — Klicken Sie auf den Pfeil im Feld **mittels** und wählen Sie die erforderliche Prüfspitze.

Klicken Sie auf die **Hinweise**-Schaltfläche und fügen Sie Instruktionen oder Erklärungen für den Benutzer ein — die Hinweise werden immer angezeigt, wenn Bauteilsignaturen aufgenommen werden.

Drücken Sie **OK** — der Bauteil wird in die Liste aufgenommen.

Die Testarten **ASA**, **ICT** und **ASA/ICT-Verbindungen** werden für jeden Bauteil in der Liste angezeigt. Ein kleines Warndreieck an einem neuen Bauteil zeigt an, daß die Referenzsignaturen noch nicht eingelernt wurden.

## **Aufnehmen von Referenzsignaturen**

Mit der **Test** - Funktion nehmen Sie die Referenzsignaturen für alle Pins des Bausteins auf.

Die Vorgangsweise für das Aufnehmen von Signaturen ist wie folgt:

Um ein Bauteil einzulernen, schließen Sie das Testkabel an den PFL und an den Bauteil an. (*prüfen Sie die korrekte Masseverbindung zum Board*), markieren Sie den Bauteil in der Liste und drücken Sie die **Test** Schaltfläche. Der PFL nimmt die Bauteilsignaturen auf und speichert diese.

Prüfen Sie mit **Schleife** auf stabile Signaturen (durch permanentes Pass angezeigt).

Prüfen Sie die Signaturen ob sie korrekt erscheinen. Um die Signaturen zu betrachten, klicken Sie auf die ASA, ICT oder Links Schaltflächen um das Fenster mit den Bauteilsignaturen zur Anzeige zu bringen. *Siehe Ansicht von ASA-Signaturen, Ansicht von ICT Daten und Ansicht von Links Daten.*

Mit der **Speichern** Funktion können bereits gespeicherte Gut-Signaturen überschrieben werden oder unter einem neuen Herstellernamen gespeichert werden.

*Hinweis: Wenn noch keine Referenzsignaturen gespeichert wurden, drücken Sie **Schleife** um zu Speichern und anschließend zu Überprüfen*



*Drücken Sie die Speicher-Schaltfläche auf der Tool-Leiste um Signaturen zu speichern.*

Bei diesem Schritt prüft der PFL ob die ASA Signaturen auf Pins einen Leerlauf zeigen. Der Anwender sollte prüfen, ob dies korrekt ist. (d.h. nicht durch einen Kontaktfehler entstanden ist) bevor die Daten auf der Festplatte gespeichert werden.

## **Speichern von Daten alternativer Hersteller**

Um Referenzsignaturen des selben Bauteils jedoch von einem anderen Hersteller aufzunehmen, verbinden Sie die Clips mit dem Bauteil und drücken Sie **Test**. Drücken Sie anschließend die **Speichern** Schaltfläche um die Signaturen als Referenz zu speichern und geben Sie einen neuen Herstellernamen ein

Der Herstellername wird in der Box in der Toolleiste angezeigt — die Ergebnisse einer Signaturaufnahme können mit allen Herstellern durch Auswahl aus der Liste verglichen werden.

*Hinweis: Wenn der PFL einen Test durchführt, prüft er automatisch gegen alle Hersteller ob eine Übereinstimmung besteht.*

## **Neuordnen der Testliste**

Die Schaltflächen in der Testliste ermöglichen dem Anwender die Reihenfolge der Bauteile in der List zu

verändern. Drücken einer Schaltfläche (z.B. **Referenz**, **Type** etc.) schaltet zwischen aufsteigender und absteigender Reihenfolge um.

Dies ermöglicht ein Sortieren der Testliste z.B. nach der Bauteilreferenz oder nach der Pinanzahl (für die Verwendung des gleichen Testclips oder SMD-Probe)

### ***Entfernen eines Bauteils aus der Testliste***

Mit dem **Entfernen**-Befehl aus dem **Bauteil**-Menü kann ein Bauteil aus dem Programm entfernt werden. Markieren Sie den Bauteil und wählen Sie **Entfernen** (oder drücken Sie die <Entf> Taste) — Besitzt der Bauteil bereits Referenzsignaturen, so erscheint eine Warnmeldung; drücken Sie **Ja** um den Löschvorgang zu bestätigen.

### ***Editieren der Testliste***

Die Testliste kann mit den Befehlen **Ausschneiden**, **Kopieren** und **Einfügen** aus dem **Bauteil**-Menü editiert werden. Verwenden Sie die **Ausschneiden** und **Einfügen**-Befehle um einen Bauteil in der Liste neuzupositionieren. Um einen Bauteil zu kopieren, z.B. für Mehrfacheinträge identischer Bausteine, verwenden Sie die **Kopieren** und **Einfügen**-Befehle - es ist jedoch trotzdem erforderlich, die Signaturen für jeden Baustein einzeln einzulernen.

### ***Ausschneiden***

Der Befehl **Ausschneiden** entfernt den Baustein aus der Testliste, seine Daten und Signaturen sind jedoch in der PFL -Zwischenablage vorhanden.

### ***Einfügen***

Der Befehl **Einfügen** fügt den Baustein aus der PFL -Zwischenablage vor dem markierten Bauteil in die Testliste ein.

### ***Kopieren***

Der Befehl **Kopieren** kopiert die Daten des markierten Bausteins (nicht die Signaturen) in die PFL -Zwischenablage.

### ***Ausdruck eines Testprogramms***

Um einen Ausdruck des Testprogramms zu erhalten, wählen Sie den Befehl **Drucken...** aus dem **Datei** Menü — es wird eine Liste der Bauteile mit den zugeordneten Testparametern gedruckt. Wählen Sie **Seitenansicht** aus dem **Datei** Menü um eine Ansicht vor dem Ausdruck zu erhalten. Mit den Laufleisten in **Seitenansicht** können Sie das gesamte Dokument ansehen.

*Ist das System ungesichert, können die Boardnotizen während des Testvorganges editiert werden um Fehlersuchhinweise "on-line" hinzuzufügen.*

## **Baugruppenhinweise**

Jedes Testprogramm beinhaltet eine zugeordnete **Baugruppenhinweis** Textdatei welche Informationen über das Board oder das Modul beinhalten kann. (z.B. Verbindungsdetails, Liste der erforderlichen Testclips, Erstelldatum des Programms) oder erweiterte Instruktionen für einen spezifischen Text wenn nicht ausreichend Platz im Bauteil **Hinweise** - Feld vorhanden ist.

Wählen Sie **Hinweise** aus dem Menü **Baugruppe** — Fügen Sie Hinweise, Instruktionen etc. nach Erfordernis ein.

Ist der Editiervorgang abgeschlossen, drücken Sie **OK**.

## **Speichern des Testprogramms**

Um ein Testprogramm zu speichern, wählen Sie den **Speichern unter...** Befehl aus dem **Datei** Menü — die **Speichern unter...** Dialogbox wird angezeigt. Geben Sie einen Namen für das Testprogramm in das **Dateiname** Feld ein (es ist nicht erforderlich, die .pfl - Erweiterung einzugeben, diese wird automatisch hinzugefügt) und drücken Sie **Speichern**.

## **Benennen von Testprogrammen**

Programmnamen müssen eindeutig sein — um die Zuordnung der Testprogramme zu vereinfachen wählen Sie beschreibende Dateinamen (z.B. Hauptcontrollerboard). Der gesamte Pfad einer Datei inklusive Laufwerksbuchstabe, Server Name, Ordnerpfad und Dateiname kann bis zu 255 Zeichen lang sein.

Testprogrammnamen dürfen keine der folgenden Zeichen beinhalten:

/, \, >, <, \*, ?, ", |, :, ;.

## Ansicht von ASA Signaturen

Jeder Schirm kann bis zu zehn Signaturen eines Bausteins darstellen. Bei der Ansicht eines Bauteils mit vielen Pins können Sie mit der Maus oder den Cursortasten durch die Signaturen:

<Pos1> — bringt die erste Signatur in die obere linke Ecke des Bildschirms

<Ende> — bringt die letzte Signatur in die untere rechte Ecke des Bildschirms

<Bild ↑> — blättert zur vorigen Seite mit zehn Signaturen

<Bild ↓> — blättert zur nächsten Seite mit zehn Signaturen

Die Pfeile in der Laufleiste verschieben die Ansicht jeweils um eine Signatur auf oder ab.

### **Wahl der Anzeigereihenfolge der Signaturen**

*Klicken Sie mit der Maus in das ASA Ansichtsfenster um die Spannungsbereiche in der **Absicht nach Anschlüssen**-Ansicht umzuschalten.*

Standardmäßig werden die gespeicherten Signaturen in absteigender Fehlergröße sortiert. (**Ansicht nach Fehler**).

Wählen Sie **Ansicht nach Anschlüssen** aus dem Menü **Ansicht** um die Signaturen in jedem verfügbaren Spannungsbereich anzuzeigen.

### **Ausdruck von Signaturen**

Wählen Sie **Drucken** aus dem **Datei** Menü um einen Ausdruck der gespeicherten Signaturen für den gewählten Bauteil zu erhalten. Mit **Seitenansicht** können Sie den Ausdruck vorab betrachten.

## Ansicht von ICT Daten

Der ICT Ansichtsschirm zeigt ein Verbindungsdiagramm zusammen mit einem Timingdiagramm mit dem Status der einzelnen Pins während des Tests

### **Das Logikdiagramm**

Das Logikdiagramm zeigt den Status jedes einzelnen Pins in jedem Testschritt des gewählten Testprogramms. (Die Testschritte werden über dem Diagramm angezeigt)

**Hinweis:** Es können auch Zustandswechsel zwischen Testschritten auftreten (z.B. eine Serie von Taktpulsen beim Test eines Zählers). Diese Zustandswechsel werden im Diagramm nicht angezeigt.

Die Referenzdaten erscheinen grün. Die Pegelzustände High, Low, Tristate (strichlierte Linien zwischen Low und

High) oder Don't care (schraffierte Flächen) werden angezeigt.

Mittels der Cursortasten auf/ab können die logischen Zustände der restlichen Pins angezeigt werden.

## Ansicht von Links Daten

Mit **Verbindungen** werden die Verbindungen auf dem Bauteil angezeigt.

### Das Verbindungsdiagramm

Das Links (Pin-Verbindungs-) Fenster zeigt die Signalleitungen und zugeordneten Pinnummern des Referenzbauteils. Pins, welche mit fixem Potential erkannt wurden, werden als *Stuck Pins* gezeigt.

### Stuck Pins

Pins die Stuck High sind, werden durch eine Verbindung zur positiven Versorgung gekennzeichnet.

Pins die Stuck Low sind, durch eine Verbindung zu Masse.

### Bestätigte Verbindungen

Bestätigte Verbindungen kennzeichnen Pins, welche auf dem Referenzboard verbunden sind.

Verbindungen welche mit der Referenz übereinstimmen, werden in Grün dargestellt, unerwartete Verbindungen in Rot.



## Boardtest

### Test eines Boards

Um ein Board zu testen gehen Sie wie folgt vor:

#### *Erstellen eines neuen Programms*

Wählen Sie **Neu** aus dem **Datei** Menü — der PFL öffnet ein Fenster mit einer Testliste.

Wählen Sie **Einfügen** um einen Bauteil in die Liste einzufügen.

Mit der **Test** Funktion werden die Referenzsignaturen des Bauteils aufgenommen und verifiziert.

Die Ansicht der ASA, ICT und Verbindungsfenster erfolgt mit **Ansicht**.

Fügen Sie mit **Einfügen** weitere Bausteine zum Testprogramm hinzu.

Mit **Hinweise** geben Sie Hinweise zum Board oder Bauteil ein.

Speichern Sie das Programm mit **Speichern**.

#### *Test des Boards*

Laden Sie das Testprogramm mit dem Befehl **Öffnen...** aus dem **Datei** Menü.

Markieren Sie den zu testenden Bauteil in der Liste.

Klicken Sie die **Test** Schaltfläche oder drücken Sie den Fußtaster um den Bauteil zu testen. (folgen Sie den Instruktionen in der **Hinweis**-Feld).

(Wahlweise) Ansicht des Ergebnisschirms wenn der Test **Pass** ergab oder Fortsetzen des Programms durch Testen der weiteren Bauteile.

#### *Deaktivieren von Testarten*

Wird ein Bauteil normalerweise mit ASA, ICT und Verbindungstests geprüft, so kann der Anwender falls erforderlich einzelne Tests deaktivieren. Wählen Sie **Testarten deaktivieren** aus dem Menü **Baugruppe** und entfernen Sie die Markierung des Tests — der Bauteil wird dann nur mit den markierten Testarten geprüft.

Ist ein Test deaktiviert, so wird keine Markierung auf der entsprechenden Registerkarte in der Testliste angezeigt.

### ***Kontinuierlicher Test mit dem Befehl Schleife***

Der Befehl **Schleife** aus dem Menü **Bauteil** führt den Test wiederkehrend durch. Der Schleifentest ist hilfreich, wenn intermittierende Logikfehler oder Kontaktprobleme erkannt werden sollen. Der PFL bietet drei **Schleifen**-Betriebsarten — **Schleife bis Gut**, **Schleife bis Fehler** und **Endlosschleife**. Drücken Sie <Esc> um den **Schleife**-Befehl zu beenden.

## Fortgeschrittenes Editieren

Die standardmäßig eingestellten Testparameter sind für die meisten Bauteilarten passend. Der Befehl **Parameter-einstellungen** aus dem Menü **Bauteil** ermöglicht dem Programmierer das Abändern der Parameter (z.B. Deaktivieren von Testarten, Wahl spezieller Testspannungen und Frequenzen, etc.) für jeden Bauteil in der Liste.

Die Funktion **Parametereinstellungen** beinhaltet folgende Registerkarten:

- Allgemein
- ASA
- ICT
- Pulsgenerator
- Hinweis
- Pin-Namen
- Ergebnisse deaktivieren

### Einsatz des Parametereditors

#### *Allgemeine Einstellungen*

Die **Allgemein** Registerkarte beinhaltet Details der Bauteiltype, Referenznummer, Pinanzahl und Bauteilfunktion.

Klicken Sie auf das Feld **Ref:** oder **Beschreibung:** um Änderungen an Referenz oder Beschreibung vorzunehmen

Das **Testarten**-Feld zeigt an, welche Testarten für den Bauteil aktiviert sind — Testarten können durch Anklicken aktiviert oder deaktiviert werden. ASA Verbindungen und ICT Verbindungen deaktivieren sich gegenseitig.

Die grafische Darstellung in der Testliste kann der Gehäuseform des Bauteils angepaßt werden. Wählen Sie DIP bei einem Dual-In-Line Baustein oder SOIC für Small-Outline IC's.

Wenn die angezeigte Grafik nicht der tatsächlichen Form des Bauteils entspricht, kann die Darstellung mit **Grafik deaktivieren** unterdrückt werden. Die Pinnumerierung ist davon nicht betroffen.

#### *Wahl der ASA - Einstellungen*

Die ASA Testbedingungen (Spannungen, Frequenzen, etc.) für den Bauteil werden in der **ASA** Registerkarte angegeben.

### **Wahl der Prüfspannung**

Wählen Sie das **Bereich** Feld — die momentan eingestellten Spannungsbereiche sind markiert. Jeder Bereich kann mit der Maus oder per Tastendruck aktiviert und deaktiviert werden. Beachten Sie, daß die Testzeit und Speicherbedarf mit der Anzahl der gewählten Testbereiche steigt.

### **Wahl es Vergleichsschwellwertes**

Die Wahl des **Toleranz** Felds ermöglicht dem Benutzer die Eingabe der Empfindlichkeit beim Signaturvergleich als Prozentwert.

Es können Prozentwerte von 1 – 99% gewählt werden. Kleinere Werte ermöglichen einen exakteren Vergleich, höhere Werte erlauben größere Unterschiede.

*Die passendsten Werte werden experimentell ermittelt; Beginnen Sie mit 5% und ändern Sie die Empfindlichkeit um normale Abweichungen zu tolerieren, echte Fehler jedoch zu erkennen*

### **Frequenz — Wahl der Testfrequenz**

Wählen Sie **Low**, **Medium** oder **High** im **Frequenz** Feld nach Erfordernis. Die aktive Frequenz ist markiert. Die für einen Test benötigte Zeit hängt von der Testfrequenz ab. Ein Test bei höheren Frequenzen erfolgt schneller als bei niedrigeren Frequenzen, kann jedoch größere Abweichungen aufgrund von Streukapazitäten ergeben.

### **Verzögerung — Wahl der Bereichs- und Pinumschaltzeit**

In manchen Schaltungskonfigurationen können sich die Signaturen in Abhängigkeit der Zeit ändern. (Schaltungen mit großen Kapazitäten können Ladezeiten größer als die Signaturaufnahmezeit aufweisen).

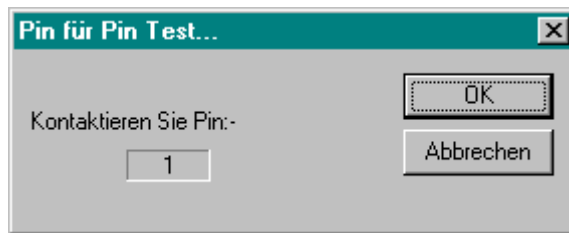
Die Funktion **Verzögerung** verändert die Geschwindigkeit, mit der die Signaturen aufgenommen werden.

Markieren Sie das Feld **Verzög:** und spezifizieren Sie einen Wert zwischen 1 – 9999mS. Der optimale Wert kann experimentell ermittelt werden. Die Standardeinstellung ist 0mS (d.h. schnellste Akquisition).

### **Pin für Pin**

Kann für einen Bauteil ein Standardtestclip nicht eingesetzt werden (wenn z.B. ein DIP-Gehäuse nicht zugänglich ist), so kann der Anwender die **Pin für Pin** Funktion wählen und die Einzelprüfspitze für den Test eines Pins nach dem anderen verwenden.

Werden Signaturen aufgenommen, so fordert die **Pin für Pin** box zum Kontaktieren des ersten Pins auf:



Mit dem Fußtaster können die einzelnen Pins durchgeschaltet werden.

Kontaktieren Sie den Pin und drücken Sie **OK** — der PFL erhöht die Pinnummer bis der Baustein vollständig getestet ist.

### **Wahl der ICT Einstellungen (nur PFL780)**

Die Wahl von **Ict** zeigt die ICT Einstellungen und ermöglicht die Einstellung der ICT-Parameter für den Baustein (Logikpegel und Schrittgeschwindigkeit).

### **Pegel — Wahl der Logikschwellwerte**

Im **Pegel** Feld erfolgt die Auswahl der logischen Schwellwerte welche für den ICT verwendet werden.

Das **High** - Feld definiert die *Minimum* - Spannung welche als Logisch-High erkannt wird; Das **Low** - Feld gibt die *Maximum* - Spannung an, welche als Logisch-Low erkannt wird.

Die **Ttl** und **Cmos** Einstellungen bieten vordefinierte Werte für die **High** und **Low** Felder. Wählen Sie **Ttl** oder **Cmos** nach Erfordernis. Die Standardeinstellungen sind für die meisten Anwendungen passend.

Die Logikpegel können von den Standardeinstellungen durch die Wahl von **spezifisch** abgeändert werden.

Durch die Wahl von **spezifisch** werden die **High** und **Low** Logikpegel-Felder aktiviert. Wählen Sie den zu verändernden Logikpegel und setzen Sie den Wert mit den linken und rechten Cursortasten (in 0.1V Schritten) auf den gewünschten Wert. Der **High** - Pegel ist immer größer als der **Low** - Pegel.

### **Verzögerung**

Die **Verzögerung** bestimmt die Verzögerungszeit vor jedem Testschritt während des ICT.

Die Standardeinstellung ist 0 $\mu$ S (d.h. schnellste Akquisition); Dieser Wert ist für die meisten Anwendungen passend. Die Zeit kann wenn erforderlich geändert werden, um Ladeeffekte zu berücksichtigen. Markieren Sie das Feld **Verzög:** und geben Sie einen Wert zwischen 1 – 999 $\mu$ S ein. Der optimale Wert kann experimentell ermittelt werden.

**Hinweis:** Die ICT-Testzeit ist nur dann garantiert unter 16ms wenn **Verzög:** auf 0 gesetzt ist.

### **Verwendung des Pulsgenerators**

Hinweis: Bei der Verwendung des Pulsers wird empfohlen, den Junction-Bereich in der ASA - Einstellung zu deaktivieren.

Der Pulsgenerator des PFL ist hilfreich beim Test von Dreipolen (z.B. Thyristoren, Triacs, Optokopplern, etc.)

### **Einstellung des Pulsgenerators**

Siehe *ASA Bauteiltest* für nähere Informationen zur Pulseranwendung.

Um den Pulsgenerator in ein Prüfprogramm einzubinden, wählen Sie die **Pulsgenerator** - Registerkarte und wählen Sie Pulse Type **P1**, **P2** oder **DC** wie erforderlich.

Im Feld **Tastverhältnis** geben Sie die Breite des angelegten Pulses an — geben Sie einen Wert zwischen 1 und 100 in das Feld ein.

Die Amplitude des Pulses wird im Feld **Pegel** eingestellt; aktivieren Sie das Feld und geben Sie einen Wert zwischen 1 and 100% ein.

Die Standardeinstellung ist 50%.

### **Pin-Namen**

Um die Bezeichnung eines Bauteilanschluß zu ändern (IRQ, CLK, etc.) klicken Sie die Pin-Namen-Registerkarte, markieren den Pin und geben den gewünschten Namen ein.

### **Deaktivieren der Testergebnisse von Bauteil-Pins**

In manchen Fällen kann es schwierig sein, wiederholbare Ergebnisse für einen Pin oder einen Baustein zu erzielen (z.B. wenn Ladevorgänge auftreten). In diesem Fall ist wird ein FEHLER-Ergebnis angezeigt, obwohl der Bauteil selbst in Ordnung ist. Ein Fehler in einem der Tests, ASA, ICT, ASA Verbindungen or ICT Verbindungen führt zu einer FEHLER-Anzeige.

Die Registerkarte **Ergebnisse deaktivieren** ermöglicht dem Anwender, die Ergebnisse einer (oder aller) der vier Testarten für einen oder mehrere Pins zu deaktivieren. Wählen Sie die Pinnummer und deaktivieren Sie die gewünschte Testart. Der Test wird dann mit AUS in der Pin-Liste markiert.

## Datenaufzeichnung

### Die PFL Datenaufzeichnung

Die PFL **Datenaufzeichnung** ermöglicht die Datenaufzeichnung für ein getestetes Board. Der Anwender kann somit Statistiken für ein Board oder einen Bauteil erstellen (z.B. für statistische Prozeßkontrolle, etc.).

### **Aufzeichnung von Ergebnissen**

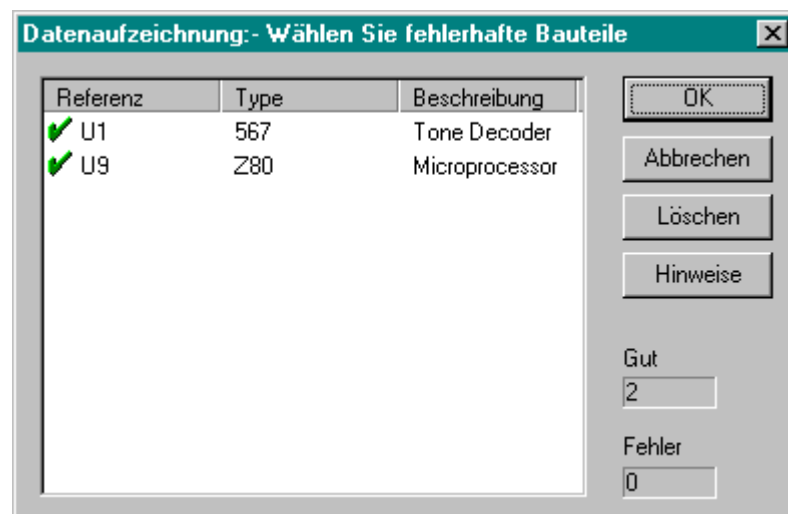
Um die Datenaufzeichnung zu aktivieren, wählen Sie den Befehl **Datenaufzeichnung** (im Menü **Baugruppe**) und **Aktivieren** (ein Haken neben **Aktivieren** zeigt, daß die Datenaufzeichnung aktiviert ist.). Durch die Aktivierung der Datenaufzeichnung wird eine **%Fehler** - Spalte in der Testliste hinzugefügt.

Test jedes Bauteils am Board.

Wenn der Boardtest abgeschlossen ist, können die Daten des Boards mit dem Befehl **Daten aufzeichnen** (im Menü **Baugruppe**) aufgezeichnet werden — die Ergebnisse der zuletzt getesteten Bauteile werden angezeigt.

Um das Aufzeichnen inkorrektur Daten zu vermeiden, kann der Benutzer das Testergebnis eines Bauteils vor dem Speichern manuell durch Anklicken ändern (umschalten zwischen **Gut** oder **Fehler**) oder alle Ergebnisse mit **Löschen** auf **Gut** setzen. Mit **OK** werden die Ergebnisse aufgezeichnet.

Da jeder Datensatz aufgezeichnet wird, ändert sich auch der Wert in der **%Fehler** Spalte um die akkumulierte Ausfallrate für jeden Bauteil anzuzeigen.



Durch Klicken der **Hinweise** - Schaltfläche kann der Bediener detaillierte Fehlerbeschreibungen eingeben.

### ***Neuordnen der Testliste***

Die Schaltflächen in der Testliste ermöglichen dem Anwender die Reihenfolge der Bauteile in der List zu verändern. Drücken einer Schaltfläche (z.B. **Referenz**, **Type** etc.) schaltet zwischen aufsteigender und absteigender Reihenfolge um.

Dies ermöglicht ein Sortieren der Testliste z.B. nach der Bauteilreferenz oder nach der Pinanzahl (für die Verwendung des gleichen Testclips oder SMD-Probe)

### ***Initialisieren der Daten eines Boards***

Wählen Sie **Datenaufzeichnung** aus dem Menü **Baugruppe** und setzen Sie die Werte in der %**Fehler** Spalte mit **Initialisieren** auf Null. (**Initialisieren** ist nur aktiv, wenn der Systemstatus auf ungesichert gesetzt ist.)

### ***Deaktivieren der Datenaufzeichnung***

Wählen Sie **Datenaufzeichnung** aus dem Menü Baugruppe und klicken Sie auf **Aktivieren** um die Datenaufzeichnung abzuschalten. Der momentane Stand der Aufzeichnung wird dadurch nicht verändert.

### ***Ausdruck der Datenaufzeichnung***

Wählen Sie **Drucken** aus dem **Datei** Menü um einen Ausdruck der Testliste zusammen mit der Datenaufzeichnung zu erhalten.



# Hinzufügen von Bauteilen zur Bibliothek mit DevLib

## Die PFL Benutzerbibliothek

Das POLAR Fehlerdiagnosesystem speichert Bauteilparameter in *Bauteilbibliotheken*. Das System wird mit zwei Bibliotheken von vordefinierten Bauteilparametern ausgeliefert — **Library1** und **Library2**.

(Diese Bibliotheken werden als Ordner **Library1** und **Library2** im **Program Files\Polar\Pfl** Ordner auf dem Laufwerk gespeichert).

Die PFL Software bietet eine dritte Bibliothek, **User**, zu welcher der Anwender neue oder spezielle Bauteile hinzufügen kann, (z.B. PAL-Bausteine).

Mittels **DevLib** kann der Anwender neue Bauteile erzeugen oder Alias-Namen für bestehende Bauteile in der Bibliothek vergeben.

Um **DevLib** zu starten, klicken Sie auf die **Start** Schaltfläche, wählen Sie **Programme** und dann **Device Library** aus der **Polar Fault Locator** Programmgruppe. **DevLib** startet und zeigt eine Liste der Bauteile in der User-Bibliothek.

## Hinzufügen eines neuen Bausteins zur Bibliothek

Um einen neuen Baustein hinzuzufügen, wählen Sie **New** aus dem **Device** Menü — die **New Device** Dialogbox wird angezeigt:

*Sie können auch die New Device - Schaltfläche auf der Tool-Leiste klicken.*



## Eingeben der Bausteindetails

Geben Sie den Namen des Bauteils in das **Name** Feld ein (z.B. 74999).

Geben Sie eine kurze Beschreibung des Bauteils (z.B. PAL) in das **Description** Feld ein.

Geben Sie die Pinanzahl in das **Pin Count** Feld ein.

Geben Sie an, welche Pins für Vcc und GND verwendet werden.

Wählen Sie die Gehäusebauform (z.B. **DIP**).

Geben Sie die Logikpegel — **TTL** oder **CMOS** ein. (nur wenn es sich um einen Digitalbaustein handelt).

Wählen Sie die Testtype — **ASA**, **Links** oder beides.

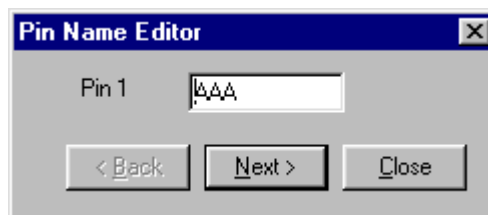
Hinweis: Ist der **Links** Test aktiviert, so legt der PFL780 +5V an den Bauteil an.

## Editieren der Pinnamen

Um den Pins Namen zuzuordnen, wählen Sie **Pin Names** aus dem **Device** Menü oder klicken Sie die **Pin Names** Schaltfläche — es wird der Pinnamen-Editor angezeigt.



Die Pinname-Schaltfläche



Editieren Sie den Pinnamen für jeden Pin (es wird empfohlen, die Länge auf vier Zeichen zu beschränken) und drücken Sie **Close**.

Wählen Sie **Save** aus dem **File** Menü.

## Erzeugen von Alias-Bezeichnungen

Der Anwender hat die Wahl, einen Bauteilnamen als *Alias* — eine alternative Bezeichnung — für einen Bauteil in der Datenbank zu vergeben.

Ist ein neuer Bauteil funktionell identisch zu einem bereits vorhandenen, so kann der selbe ICT Funktionstest verwendet werden.

### ***Erzeugen eines Alias für einen existierenden Bauteil***

Um ein Alias für einen bereits in der Bibliothek vorhandenen Bauteil zu erzeugen, wählen Sie **Add Alias** aus dem **Device** Menü — die **Add Alias** Dialogbox wird angezeigt.

Geben Sie den Namen des Bauteils den Sie kopieren wollen ein (z.B. 74LS244) und drücken Sie **OK** — die **New Device** Dialogbox wird mit den Parametern des vorhandenen Bausteins angezeigt.

Geben Sie den Aliasnamen im **Name** Feld ein und drücken Sie **OK**.

Wählen Sie **Save** aus dem **File** Menü.

# Wartung und Reinigung

## Servicieren des PFL

**ACHTUNG** Dieses Gerät sollte nur von qualifizierten Technikern gewartet werden

Lassen Sie das Service von qualifiziertem Servicepersonal durchführen. POLAR Instruments bietet hierzu das PFL Servicemanual zur Unterstützung des Technikers an.

### **Erforderliche Kalibration**

Um die Kalibration des Gerätes sicherzustellen, wird empfohlen, den Kalibrier- und Justiervorgang einmal jährlich durchzuführen.

### ***Eingangsschutzsicherungen***

Kanal A und B sind durch flinke Sicherungen geschützt. Wenn die Prüfspitzen mit einem spannungsführenden Teil oder mit einem geladenen Kondensator verbunden werden, so fallen die Eingangssicherungen aus, um eine Beschädigung am Gerät zu vermeiden.

Um die Meßkanalsicherungen zu wechseln:

Schließen Sie das Gerät vom Netz ab.

Entnehmen Sie die Sicherungen aus den Haltern an der Geräterückseite.

Prüfen Sie die Sicherungen und ersetzen Sie diese gegebenenfalls mit neuen Sicherungen wie auf der Geräterückseite angegeben.

Schließen Sie das Netzkabel wieder an.

### **Fehlersuche**

*Die häufigste Fehlerursache ist eine ausgefallene Meßeingangssicherung..*

Wenn ein Kanal nicht verbunden ist, so ist dessen Signatur eine horizontale Linie. Wenn die Schutzsicherung ausgefallen ist, so zeigt dieser Kanal eine vertikale Linie (Kurzschluß).

Siehe *Eingangsschutzsicherungen* für den Ersatz der Sicherungen.

Die folgenden Symptome können vom Anwender überprüft werden. Lassen Sie die Fehler von qualifizierten Technikern beheben.

<b>Symptom</b>	<b>Test</b>
Der PFL zeigt einen Schutzsicherungsfehler, die Sicherung ist aber OK	Stellen Sie sicher, daß das zu testende Board von jeder Stromversorgung oder externer Masseverbindung <i>abgeschlossen</i> ist.
Die LED's leuchten nicht	Prüfen Sie, ob der Netzschalter eingeschaltet ist. Prüfen Sie Netzsicherungen , bzw. Ob Netzausfall
Die Signatur ist instabil	Prüfen Sie ob die COM Leitung angeschlossen ist. Beim Test von IC's mit ASA verbinden Sie Vcc und Masse.
Der Scanner zeigt einen Fehler immer am selben Pin	Prüfen Sie den IC-Testclip.
Der Rechner meldet einen Kommunikationsfehler	Prüfen Sie ob die serielle Schnittstelle korrekt eingestellt ist. Überprüfen Sie weiters, ob der PFL am Computer angeschlossen ist. Ist die Verbindung vorhanden, dann kontrollieren Sie, ob das Verbindungskabel das mitgelieferte Originalkabel ist.

### **Reinigung**

Reinigen Sie das Gerät mit einem leicht angefeuchteten Tuch mit etwas mildem Reiniger. Verwenden Sie alternativ ein Tuch mit etwas Alkohol (Äthanol , Spiritus oder Isopropylalkohol)

*Sprühen Sie keinen Reiniger direkt auf das Gerät..*

### **Technische Unterstützung**

Benötigen Sie technische Unterstützung, so kontaktieren Sie Ihren lokalen POLAR Distributor oder Polar Instruments.

# Anhang A - Beispiele von Analogsignaturen

## Einführung und Index

die folgenden Seiten zeigen eine Auswahl von Komponenten und beinhalten auch Vergleiche von IC's verschiedener Hersteller.

Signaturen in Ihren Schaltkreisen müssen nicht genau gleich wie die Beispiele aussehen, da die Hersteller ihre Fertigungsprozesse ändern können. (was sich auf die Signatur auswirkt). Dieser Abschnitt beinhaltet eine Übersicht typischer defekter Signaturen. Diese sollte hilfreich sein wenn Signaturen verschiedener Hersteller verglichen werden.

Ein Blatt mit leeren Feldern liegt bei, welches kopiert und für die Aufzeichnung von speziellen Signaturen Ihrer Boards verwendet werden kann.

Kondensator .....	A-4,5
Kondensator/Widerstand .....	A-8,9
Defekte Signaturen.....	A-42
Digital CMOS 4001B .....	A-32,33
Digital HCMOS 74HC00 .....	A-34,35
Digital LSTTL 74LS00 .....	A-28-31
Digital TTL 7400 .....	A-24-27
Diode.....	A-10
Diode/Widerstand.....	A-12,13
FET, N-Kanal .....	A-18
FET, P-Kanal.....	A-19
Spule .....	A-6,7
LED .....	A-11
Operationsverstärker (dual) MC1458 .....	A-38
Operationsverstärker (vierfach) LM324 .....	A-39
Optokoppler.....	A-22,23
Widerstand .....	A-2,3
Widerstand/Kondensator .....	A-8,9
Widerstand/Diode.....	A-12,13
Schottkydiode .....	A-11
Thyristor .....	A-21
Timer 555 .....	A-40,41
Transistor, Darlington .....	A-15
Transistor, NPN.....	A-14,15
Transistor, PNP .....	A-16,17
Triac .....	A-20
Spannungsregler 7805 .....	A-36
Spannungsregler 7905 .....	A-37
Zenerdiode .....	A-10



## Anhang B – Der Signaturvergleichsalgorithmus

Für den Vergleich werden die Signaturen an  $n$  Punkten abgetastet. .

Beim PFL ist die Anzahl der Abtastpunkte  $n$  auf 100 fixiert.

Die Abweichung  $D$  ist definiert als:

$$D = 1/n \sum_1^n |V_{a_n} - V_{b_n}| \times k\%$$

wobei  $V_{a_1}, V_{a_2}, \dots, V_{a_n}$  die Amplituden von Kanal A repräsentieren, d.h. die Referenzsignatur bei den Vergleichspunkten 1, 2, .....n

und  $V_{b_1}, V_{b_2}, \dots, V_{b_n}$  die Amplituden von Kanal B repräsentieren, d.h. die Prüflingssignatur bei den Vergleichspunkten 1, 2, .....n

$k$  ist ein Skalierungsfaktor.





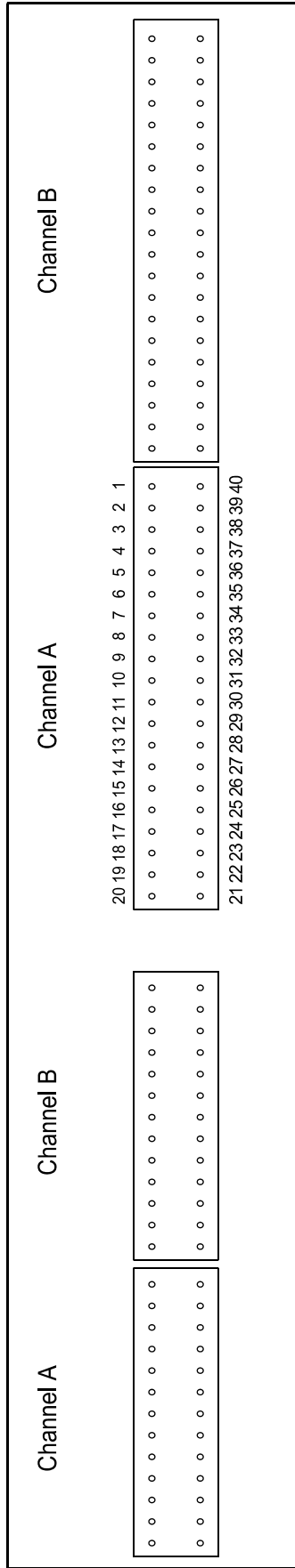
## Anhang C – PFL Pin-Numerierungsformate

Das Format der Pinnumerierung der PFL Eingänge hängt von der gewählten Gehäusebauform und der Pinanzahl des Prüflings ab.

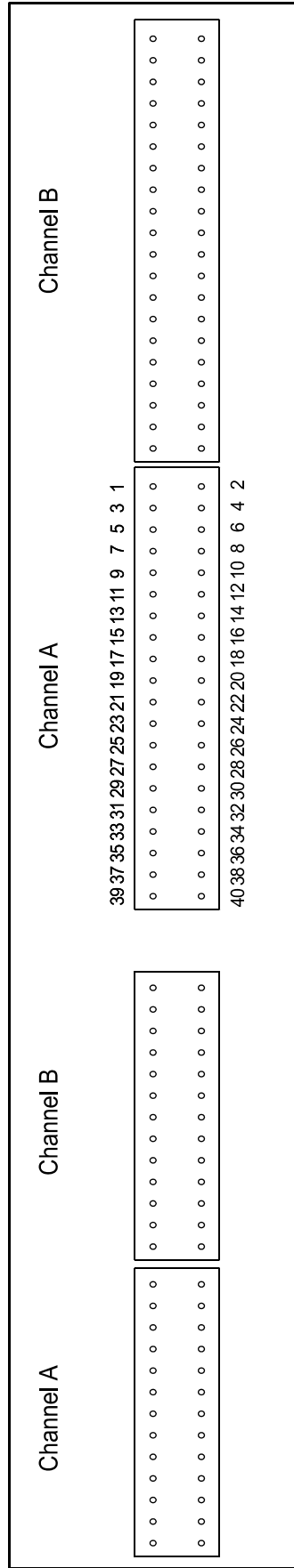
*Alle Abbildungen zeigen das Gerät in der Frontansicht.*

Die Position von Pin #1 ist immer gleich (in der Ecke rechts oben, wenn das Instrument von vorne betrachtet wird).





DIP Format – Up to 40 pins



SIP Format – Up to 40 pins



## Anhang D – SMD Prüfspitzen

SMD-Prüfspitzen werden dann verwendet, wenn ein genau passender Testclip für einen integrierten Baustein nicht erhältlich ist, oder wenn aufgrund sehr dichter Bestückung das Aufsetzen eines normalen Testclips unmöglich ist.

Eine SMD-Prüfspitze enthält eine Reihe von Pins (typisch 10 oder 11 Pins, je nach Bauform) und ermöglicht die Kontaktierung von PLCC-Gehäusen, etc. Jede Seite des Gehäuses muß einzeln kontaktiert werden.

Wählen Sie SIP-Mode, wenn Sie SMD-Prüfspitzen verwenden..

### **Pinnumerierung**

Pin #1 der SMD-Prüfspitze ist mittels eines weißen Punkts auf der Spitze bzw. durch die farbige Flachbandkabelleiste gekennzeichnet.

Beachten Sie, daß die vom TD8000 angezeigte Pinnummer die Nummer des Pins der Prüfspitze ist. Ist Pin #1 der Prüfspitze nicht mit Pin #1 des ICs verbunden, so muß der Anwender den passenden Offset zu der angezeigten Zahl addieren, um die richtige Gehäusepinnummer des ICs zu bestimmen.

### **Verwendung der Prüfspitze**

Achtung: Die Prüfspitzennadeln sind spitz! Vorsicht bei der Handhabung !

Drücken Sie die Prüfspitze gegen den Bauteil, so daß die Pins in etwa senkrecht auf den IC-Anschlüssen zu liegen kommen. Vermeiden Sie ein seitliches Verrutschen, um die Spitzen vor Schaden zu bewahren.

Es wird empfohlen, das Fußpedal zu verwenden, damit die Hände des Anwenders für die Kontaktierung der Bauteile mit der Prüfspitze frei bleiben.

### **Austausch der Nadeln**

Die Anschlüsse der Prüfspitzen könnten beschädigt werden, wenn sie stark gebogen werden oder übermäßig stark aufgedrückt wird. Ersatzspitzen sind bei Ihrem Polar-Vertreter erhältlich. Wenn Sie Austauschspitzen bestellen, geben Sie bitte immer die genaue Prüfspitzentype an (z.B. T131)

## Austausch eines defekten Pins

Entfernen Sie vorsichtig den Kunststoffkamm durch Abziehen vom Prüfspitzenkopf. Der Kamm besitzt zwei gefederte Nadeln, die normalerweise am Kamm befestigt sind. Sollte eine der Nadeln am Prüfspitzenkopf stecken bleiben, so stellt dies kein Problem dar.

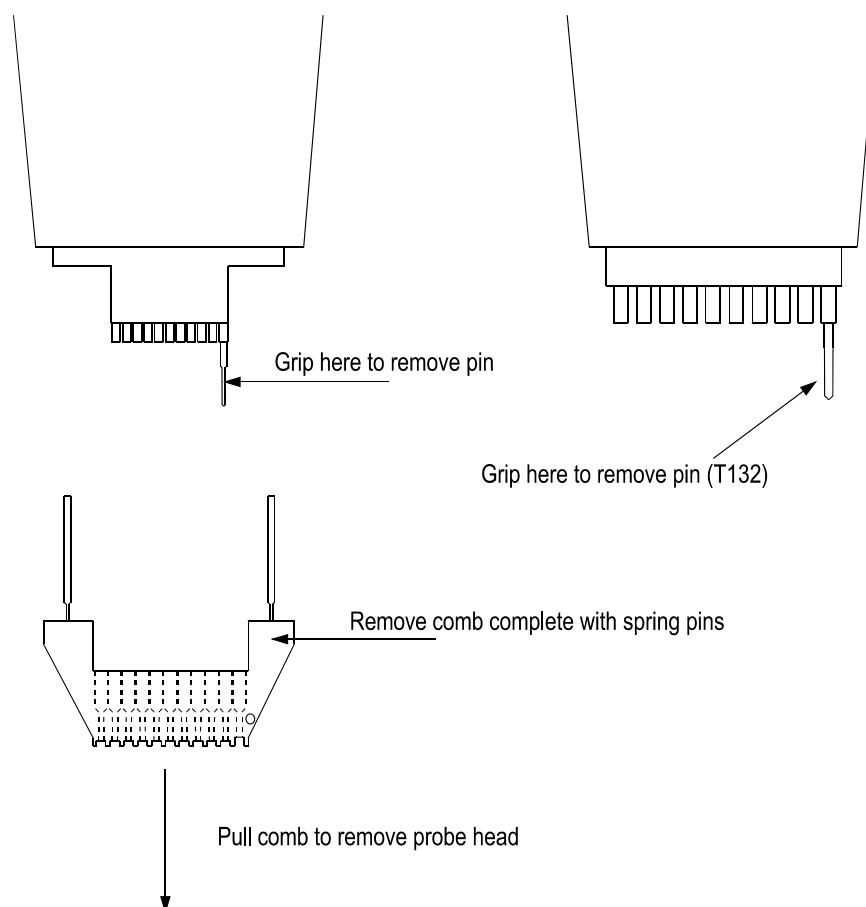
Hinweis: Die T132 besitzt keinen Kamm

Die Federnadel ist in einer fixen Führung montiert. Fassen Sie die Nadel nahe der Führung unter Zuhilfenahme zweier Zangen. Sollte dieser Punkt nicht leicht zu finden sein, so achten Sie darauf, daß die Nadel beweglich ist, die Führung ist fest.

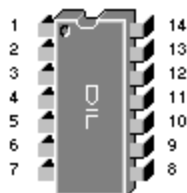
Ziehen Sie die Nadel vorsichtig aus der Führung.

Drücken Sie die neue Nadel vorsichtig in die Führung, bis sie zur Gänze steckt.

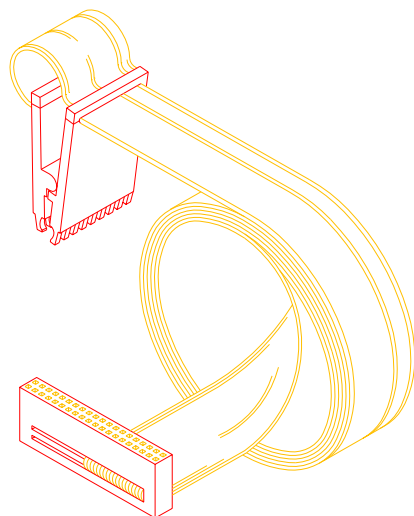
Setzen Sie den Kamm vorsichtig auf, und stellen Sie sicher, daß die Federspitzen des Kamms in die beiden Führungen des Prüfspitzenkopfs gelangen, und die Federspitzen durch die Führungen des Kamms ragen.



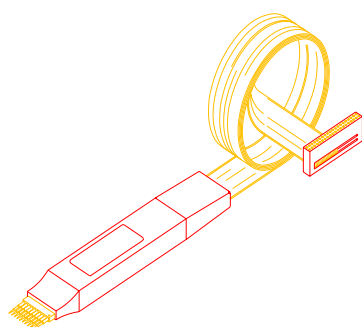
## Kontaktierung von DIL ICs



**IC Test Clips, komplett mit Anschlußkabel** sind sowohl einzeln als auch als Sortiment erhältlich. Jeder Clip ist mit einem Kabel für den Anschluß an ein POLAR T-Serie oder PFL-Gerät versehen. Die Testclips ASY106 und ASY107 werden als Standardzubehör mit jedem Gerät mitgeliefert.

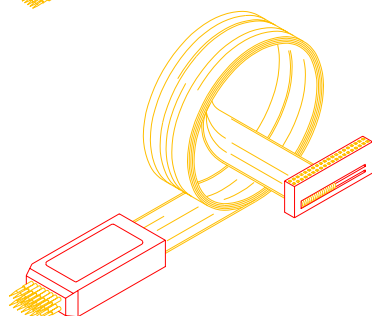


Pinzahl	IC Breite	Teil-Nummer	ACC139 Set	ACC140 Set
8	0.3"	ASY116	✓	✓
14	0.3"	ASY115	✓	✓
16	0.3"	ASY107	Standardzubehör	
18	0.3"	ASY117	✓	
20	0.3"	ASY110	✓	✓
22	0.3"	ASY118	✓	
22	0.6"	ASY120	✓	
24	0.3"	ASY112	✓	✓
24	0.6"	ASY114	✓	
28	0.3"	ASY119	✓	
28	0.6"	ASY113	✓	✓
40	0.6"	ASY106	Standardzubehör	



**T132 IC Probe** passend für alle 0.1" IC's, besteht aus 10 Nadeln im 0.1" Rastermaß.

Auch lieferbar mit verstärkter Federkraft für lackisolierte Bauteile unter Bestellbezeichnung **T132/N**.



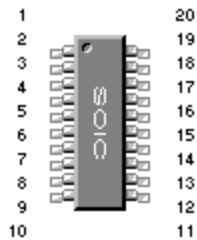
**Dual in line IC probe** passend für alle DIL IC's mit Standard 0.3" Gehäusebreite und 0.1" Rastermaß.

**T203**, 16 pins, DIL Gehäuse, 0.3" IC Breite

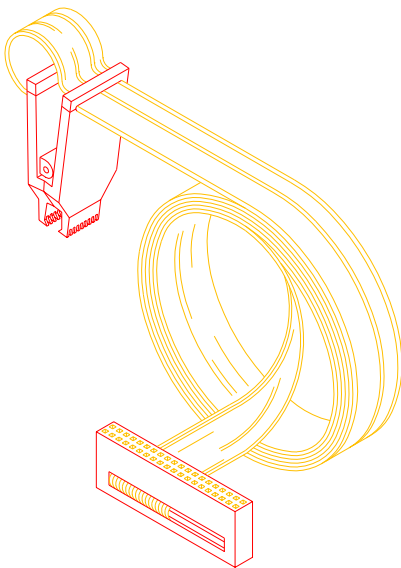
**T204**, 20 pins, DIL Gehäuse, 0.3" IC Breite



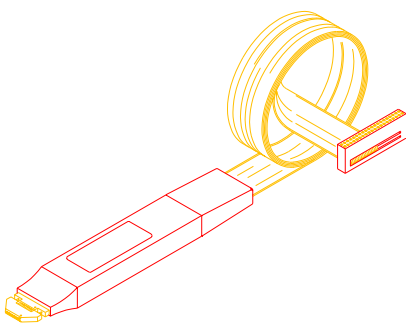
# Kontaktierung von SOIC's



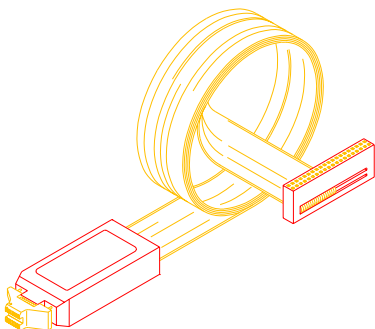
**IC Test Clips komplett mit Anschlußkabel** sind sowohl einzeln als auch als Sortiment erhältlich. Jeder Clip ist mit einem Kabel für den Anschluß an ein POLAR T-Serie oder PFL-Gerät versehen. Die Clips sind sowohl für SO als auch SO(Breit) geeignet.



Pinzahl	IC Breite	Teil-Nummer	ACC160 Set
8	0.1" - 0.35"	ASY123	✓
14	0.1" - 0.35"	ASY124	✓
16	0.1" - 0.35"	ASY125	✓
20	0.1" - 0.35"	ASY126	✓
24	0.1" - 0.35"	ASY127	✓
28	0.1" - 0.35"	ASY128	✓

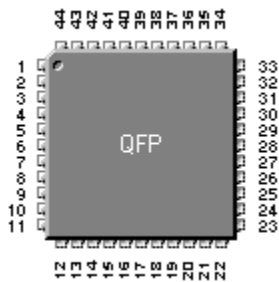


**T131 IC Probe** passend für alle 0.05" Rastermaß small outline (SO) IC's, bestehend aus 11 Nadeln im 0.05" Rastermaß. Die Kontaktnadeln werden durch einen speziellen Führungskamm geschützt, welcher auch ein sicheres Aufsetzen auf den IC ermöglicht.

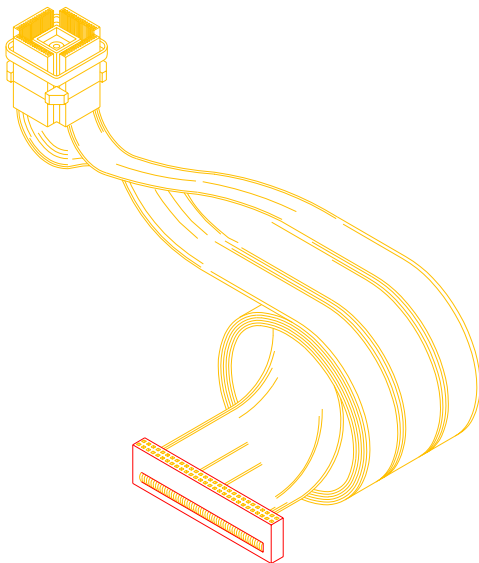


SOIC Probes für die Kontaktierung von SOIC's mit 0.05" Rastermaß und folgenden Breiten:  
**T201**, 16 pins, SO-16 Gehäuse, 0.15" IC Breite  
**T202**, 20 pins, SO-20W Gehäuse, 0.3" IC Breite  
 Die Kontaktnadeln werden durch einen speziellen Führungskamm geschützt, welcher auch ein sicheres Aufsetzen auf den IC ermöglicht.

## Kontaktierung von PLCC's, QFP's, etc.



**IC Test Clips, komplett mit Anschlußkabel**, sind sowohl einzeln als auch als Sortiment erhältlich. Jeder Clip ist mit einem Kabel für den Anschluß an ein POLAR T-Serie oder PFL-Gerät versehen.

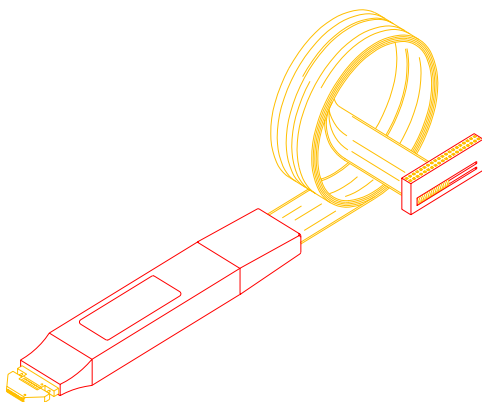


Pinzahl	Teil-Nummer	ACC161 Set
20	ASY129	✓
28	ASY130	✓
32	ASY131	✓
44	ASY132*	✓
52	ASY133*	✓
68	ASY134*	✓
84	ASY135*	✓

\*Diese Clips erfordern den Interfaceadapter ACC169 in Verbindung mit T4000, TD8000 und PFL. Das Testclip-Sortiment ACC161 beinhaltet den Interfaceadapter ACC169

Ein Sortiment von **SMD IC Probes** werden für Bauteile mit Rastermaßen wie unten angeboten. Die Nadeln sind so angeordnet, daß sie an jeder Gehäuseform angelegt werden können.

Die Kontaktnadeln werden durch einen speziellen Führungskamm geschützt, welcher auch ein sicheres Aufsetzen auf den IC ermöglicht.



IC Raster	Teil-Nummer	Pinzahl
0.4mm	T141	32
0.5mm	T140	32
0.65mm	T137	32
0.8mm	T139	16
1.0mm	T136	14
0.025"	T138	32